

PCT COOPERATION TREATY

PCT

NOTIFICATION CONCERNING
SUBMISSION OR TRANSMITTAL
OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname
3F., Lions Bldg. Ohtemae
2-3-14, Uchihiranomachi
Chuo-ku, Osaka-shi, Osaka 540-0037
JAPON



Date of mailing (day/month/year): 01 May 2001 (01.05.01)	
Applicant's or agent's file reference P24511-P0 FP00068/PCT	IMPORTANT NOTIFICATION
International application No. PCT/JP01/00182	International filing date (day/month/year) 15 January 2001 (15.01.01)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 14 January 2000 (14.01.00)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al	

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau or the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- An asterisk(*) appearing next to a date of receipt, in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, **the attention of the applicant is directed** to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

<u>Priority date</u>	<u>Priority application No.</u>	<u>Country or regional Office or PCT receiving Office</u>	<u>Date of receipt of priority document</u>
14 Janu 2000 (14.01.00)	2000/5503	JP	20 Apr 2001 (20.04.01)
31 Marc 2000 (31.03.00)	2000/97305	JP	20 Apr 2001 (20.04.01)
29 Sept 2000 (29.09.00)	2000/300063	JP	20 Apr 2001 (20.04.01)

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer

Marc Salzman

Telephone No. (41-22) 338.83.38

PATENT COOPERATION TREATY

PCT

NOTICE INFORMING THE APPLICANT OF THE COMMUNICATION OF THE INTERNATIONAL APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

OHMAE, Kaname
3F., Lions Bldg. Ohtemae
2-3-14, Uchihiranomachi
Chuo-ku, Osaka-shi, Osaka 540-0037
JAPON



Date of mailing (day/month/year) 19 July 2001 (19.07.01)		
Applicant's or agent's file reference P24511-P0 <i>LP00068 / PCT</i>		IMPORTANT NOTICE
International application No. PCT/JP01/00182	International filing date (day/month/year) 15 January 2001 (15.01.01)	Priority date (day/month/year) 14 January 2000 (14.01.00)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al		

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:
KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:
CN,EP,SG

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 19 July 2001 (19.07.01) under No. WO 01/52229

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a **demand for international preliminary examination** must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the **national phase**, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer J. Zahra Telephone No. (41-22) 338.83.38
--	---

特許協力条約に基づく国際出願願書

P24511-P0

原本（出願用） - 印刷日時 2001年01月13日 (13. 01. 2001) 土曜日 15時39分03秒

0	受理官庁記入欄	
0-1	国際出願番号.	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式-PCT/R0/101 この特許協力条約に基づく国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.91 (updated 10.10.2000)
0-4-1		
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (R0/JP)
0-7	出願人又は代理人の書類記号	P24511-P0
I	発明の名称	アクティブマトリクス型表示装置及びその駆動方法
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除くすべての指定国 (all designated States except US)
II-4ja	名称	松下電器産業株式会社
II-4en	Name	MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
II-5ja	あて名:	571-8501 日本国 大阪府 門真市 大字門真1006番地
II-5en	Address:	1006, Oaza-Kadoma, Kadoma-shi, Osaka 571-8501 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
II-8	電話番号	06-6908-5831
II-9	ファクシミリ番号	06-6906-8166
III-1	その他の出願人又は発明者	
III-1-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja	氏名 (姓名)	足達 克己
III-1-4en	Name (LAST, First)	ADACHI, Katsumi
III-1-5ja	あて名:	639-0223 日本国 奈良県 香芝市 真美ヶ丘7-8-10
III-1-5en	Address:	7-8-10, Mamigaoka Kashiba-shi, Nara 639-0223 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP

特許協力条約に基づく国際出願願書

P24511-P0

原本（出願用） - 印刷日時 2001年01月13日（13.01.2001）土曜日 15時39分03秒

III-2 III-2-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-2-2	右の指定国についての出願人である。	
III-2-4ja	氏名(姓名)	山倉 誠
III-2-4en	Name (LAST, First)	YAMAKURA, Makoto
III-2-5ja	あて名:	570-0046 日本国 大阪府 守口市 南寺方北通2-2-2-619
III-2-5en	Address:	2-2-2-619, Minamiterakatakitadori Moriguchi-shi, Osaka 570-0046 Japan
III-2-6	国籍 (国名)	日本国 JP
III-2-7	住所 (国名)	日本国 JP
III-3 III-3-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-3-2	右の指定国についての出願人である。	
III-3-4ja	氏名(姓名)	関本 邦夫
III-3-4en	Name (LAST, First)	SEKIMOTO, Kunio
III-3-5ja	あて名:	576-0012 日本国 大阪府 交野市 妙見東1-7-5
III-3-5en	Address:	1-7-5, Myokenhigashi Katano-shi, Osaka 576-0012 Japan
III-3-6	国籍 (国名)	日本国 JP
III-3-7	住所 (国名)	日本国 JP
III-4 III-4-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-4-2	右の指定国についての出願人である。	
III-4-4ja	氏名(姓名)	古林 好則
III-4-4en	Name (LAST, First)	KOBAYASHI, Yoshinori
III-4-5ja	あて名:	572-0037 日本国 大阪府 寝屋川市 葛原新町13-1-2-1014
III-4-5en	Address:	13-1-2-1014, Kuzuharashinmachi Neyagawa-shi, Osaka 572-0037 Japan
III-4-6	国籍 (国名)	日本国 JP
III-4-7	住所 (国名)	日本国 JP

特許協力条約に基づく国際出願願書

P24511-PO

原本（出願用） - 印刷日時 2001年01月13日 (13. 01. 2001) 土曜日 15時39分03秒

IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右記のごとく出願人のために行動する。	代理人 (agent)
IV-1-1ja	氏名(姓名)	大前 要
IV-1-1en	Name (LAST, First)	OHMAE, Kaname
IV-1-2ja	あて名:	540-0037 日本国 大阪府 大阪市中央区 内平野町2-3-14 ライオンズビル大手前3階
IV-1-2en	Address:	3F., Lions Bldg. Ohtemae 2-3-14, Uchihiranomachi Chuo-ku, Osaka-shi, Osaka 540-0037 Japan
IV-1-3	電話番号	06-6946-3591
IV-1-4	ファクシミリ番号	06-6946-3593
V	国の指定	
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	EP: AT BE CH&LI CY DE DK ES FI FR GB GR IE IT LU MC NL PT SE TR 及びヨーロッパ特許条約と特許協力条約の締約国である他の国
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	CN KR US
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。	
V-6	指定の確認から除かれる国	なし (NONE)
VI-1	先の国内出願に基づく優先権主張	
VI-1-1	先の出願日	2000年01月14日 (14. 01. 2000)
VI-1-2	先の出願番号	特願2000-005503
VI-1-3	国名	日本国 JP
VI-2	先の国内出願に基づく優先権主張	
VI-2-1	先の出願日	2000年03月31日 (31. 03. 2000)
VI-2-2	先の出願番号	特願2000-097305
VI-2-3	国名	日本国 JP
VI-3	先の国内出願に基づく優先権主張	
VI-3-1	先の出願日	2000年09月29日 (29. 09. 2000)
VI-3-2	先の出願番号	特願2000-300063
VI-3-3	国名	日本国 JP
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)

特許協力条約に基づく国際出願願書

P24511-P0

原本（出願用） - 印刷日時 2001年01月13日 (13. 01. 2001) 土曜日 15時39分03秒

VIII	照合欄	用紙の枚数	添付された電子データ
VIII-1	願書	4	-
VIII-2	明細書	24	-
VIII-3	請求の範囲	24	-
VIII-4	要約	1	p24511-p0.txt
VIII-5	図面	18	-
VIII-7	合計	71	
	添付書類	添付	添付された電子データ
VIII-8	手数料計算用紙	✓	-
VIII-16	PCT-EASYディスク	-	フレキシブルディスク
VIII-18	要約書とともに提示する図の番号	3	
VIII-19	国際出願の使用言語名:	日本語 (Japanese)	
IX-1	提出者の記名押印		
IX-1-1	氏名(姓名)	大前 要	

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であってその後期間内に提出されたものの実際の受理の日 (訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

PATENT COOPERATION TREATY

PCT

From the INTERNATIONAL BUREAU

NOTIFICATION OF RECEIPT OF
RECORD COPY

(PCT Rule 24.2(a))

To:

OHMAE, Kaname
3F., Lions Bldg. Ohtemae
2-3-14, Uchihiranomachi
Chuo-ku, Osaka-shi, Osaka 540-0037
JAPON



Date of mailing (day/month/year) 13 February 2001 (13.02.01)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference P24511-P0 <i>FP000068 / PCT</i>	International application No. PCT/JP01/00182

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al (for all designated States
except US)

ADACHI, Katsumi et al (for US)

International filing date : 15 January 2001 (15.01.01)
Priority date(s) claimed : 14 January 2000 (14.01.00)
31 March 2000 (31.03.00)
29 September 2000 (29.09.00)

Date of receipt of the record copy
by the International Bureau : 29 January 2001 (29.01.01)

List of designated Offices :

EP : AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR
National : CN, KR, US

ATTENTION

The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau.

In addition, the applicant's attention is drawn to the information contained in the Annex, relating to:

- ☒ time limits for entry into the national phase
- ☒ confirmation of precautionary designations
- ☒ requirements regarding priority documents

A copy of this Notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Facsimile No. (41-22) 740.14.35

Authorized officer:

Masashi Honda
Masashi HONDA

Telephone No. (41-22) 338.83.38

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年7月19日 (19.07.2001)

PCT

(10) 国際公開番号
WO 01/52229 A1

(51) 国際特許分類: G09G 3/20, 3/30, 3/36, G02F 1/133

(21) 国際出願番号: PCT/JP01/00182

(22) 国際出願日: 2001年1月15日 (15.01.2001)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2000-5503 2000年1月14日 (14.01.2000) JP
特願2000-97305 2000年3月31日 (31.03.2000) JP
特願2000-300063 2000年9月29日 (29.09.2000) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府門真市大字門真1006番地 Osaka (JP).

(ADACHI, Katsumi) [JP/JP]; 〒639-0223 奈良県香芝市真美ヶ丘7-8-10 Nara (JP). 山倉 誠 (YAMAKURA, Makoto) [JP/JP]; 〒570-0046 大阪府守口市南寺方北通2-2-2-619 Osaka (JP). 関本邦夫 (SEKIMOTO, Kunio) [JP/JP]; 〒576-0012 大阪府交野市妙見東1-7-5 Osaka (JP). 古林好則 (KOBAYASHI, Yoshinori) [JP/JP]; 〒572-0037 大阪府寝屋川市葛原新町13-1-2-1014 Osaka (JP).

(74) 代理人: 大前 要 (OHMAE, Kaname); 〒540-0037 大阪府大阪市中央区内平野町2-3-14 ライオンズビル大手前3階 Osaka (JP).

(81) 指定国 (国内): CN, KR, SG, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 足達克己

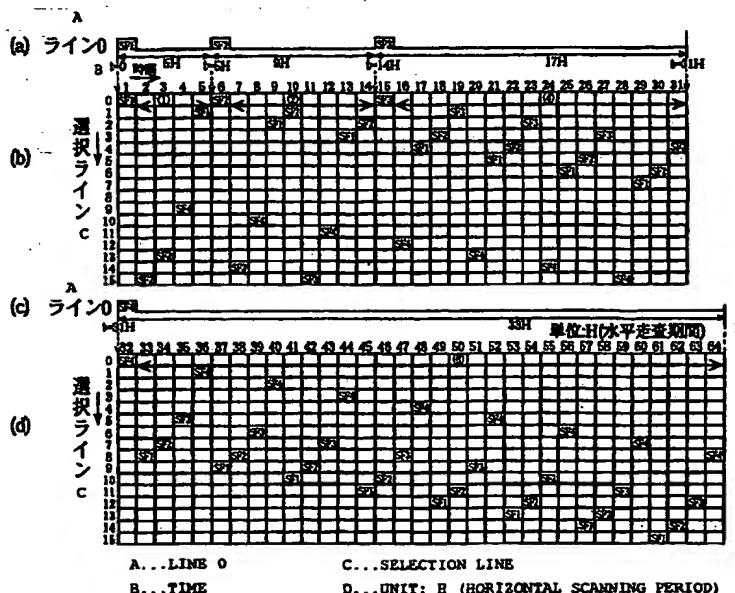
添付公開書類:

— 国際調査報告書

[続葉有]

(54) Title: ACTIVE MATRIX DISPLAY APPARATUS AND METHOD FOR DRIVING THE SAME

(54) 発明の名称: アクティブマトリクス型表示装置及びその駆動方法



(57) Abstract: A method for driving an active matrix display apparatus for gray scale display in which one frame includes sub-frames composed of a write period and a hold period and the gray scale display is realized by a hold period accumulation effect, wherein during the hold period of each sub-frame relating to a predetermined scanning line, the other scanning lines than the predetermined scanning line are randomly produced in a predetermined order so as to prevent the same sub-frame relating to the same scanning line from being written, and the write and hold periods for each sub-frame is substantially ensured for each scanning line over one frame period, thereby conducting gray-scale display drive. As a result, the frame period is shortened.

[続葉有]



WO 01/52229 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

1 フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置の駆動方法において、予め定めた1つの走査線に関する各サブフレーム毎の保持期間に、前記予め定めた1つの走査線以外の残余の走査線を、同一走査線に関して同一のサブフレームを書き込まないように予め定めた順序に従ってランダム走査し、1フレーム期間全体としてみると、各走査線それぞれにおいて、実質的に前記複数のサブフレーム毎の書き込み及び保持期間が確保されて階調表示駆動が行われる。これにより、フレーム期間の短縮を図ることができる。

明 細 書

アクティブマトリクス型表示装置及びその駆動方法

5

技 術 分 野

本発明は、アクティブマトリクス方式の表示装置、特に液晶、有機EL（エレクトロルミネッセンス）を用いた表示装置及びその駆動方法に関し、詳しくは時間的に重み付けられたサブフレーム期間における2値あるいは多値の電圧レベルの組み合わせにより多階調表示を行う表示装置及びその駆動方法に関するものである。

背 景 技 術

電池駆動による小型の携帯機器に用いられる表示装置には、より少ない消費電力が要求されている。そのような要求を満たす表示デバイスの代表格として、液晶や有機EL（エレクトロルミネッセンス）が知られている。これらの表示素子を用いたアクティブマトリクス方式の表示装置、典型的には3端子の薄膜トランジスタ（TFT）をスイッチング素子とする表示装置では、アナログの電圧あるいは電流によって画素の輝度を制御し階調表示を行うのが一般的である。例えば、液晶の場合はアナログの電圧を印加することによって、有機ELの場合はアナログの電流を流すことによって表示素子の輝度を変化させ階調表示している。

従来のアクティブマトリクス液晶パネルの構成を図10に示し、その階調表示方法を説明する。101はアクティブマトリクス方式の液晶パネルであり、信号線S1～Snと、これと直交する走査線G1～Gmと、その交点近傍にあるスイッチング素子からなる。S

i はある信号線、G j はある走査線、1 0 2 はそれらの交点近傍にあるスイッチング素子、この場合は一般的な3端子の薄膜トランジスタ(T F T)の例である。1 0 3 は液晶素子を示し、トランジスタ1 0 2 と対峙する側に対向電極V c o m が形成される。1 0 4 は蓄積容量であり液晶素子1 0 3 の容量成分を補佐し、画質の劣化を防止している。その逆側の電極は別途V s t として共通接続される場合が多い。これらのトランジスタ側の交点1 0 5 が画素電極に相当する。

動作を簡単に説明すると、走査線G j が1フレーム期間に一度高電位となり、トランジスタ1 0 2 を導通させ、この時の信号線S i の電位まで画素電極1 0 5、つまり液晶容量1 0 3 と蓄積容量1 0 4 を対向電極V c o m に対して充電する。その後走査線G j が低電位となってトランジスタ1 0 2 が非導通となって、この充電された電位を1フレーム期間保つ。また、液晶は交流駆動するのが普通であるが、対向電極V c o m と蓄積容量の共通電極V s t を信号線S i に同期して反転したパルス状波形を加え、信号線S i の振幅を減少することも一般的に行われる。1 0 6 は信号側のシフトレジスタおよびラッチであり、外部から入力されるクロック信号C K H とスタート信号S T H により、映像信号を順次サンプリングしシリアル-パラレル変換する。図1 0 ではデジタル映像信号の例を示し、複数ビットの映像信号がD / A 変換回路1 0 7 によりアナログ信号に変えられ、オペアンプ1 0 8 により電流増幅されて信号線S 1 ~ S n に加えられる。走査側は外部より加えられるクロック信号C K V とスタート信号S T V により順次上から下へ走査するシフトレジスタ1 0 9 と出力バッファ1 1 0 からなり、走査線G 1 ~ G m をパルス波形で駆動する。

図 1 1 に各部の波形図を示す。H D は水平同期信号を示し、その周期は水平走査期間 H であり、前述の S T H と C K V の周期に等しい。これらの位相はパネル特性等により若干変えられる。入力信号はデジタル映像信号であり、C K H の周期でデータは変化する。F F 1, F F 2, F F 3 は信号側シフトレジスタのサンプリングパルスを示す。例えば、4 ビット、1 6 階調の場合では、データを 1 6 進数で表現すると、F F 1 には " 0 "、F F 2 には " 7 "、F F 3 には " F " がサンプリングされラッチされている。ラッチパルスのタイミングでこれを D / A 変換すると、対向電位 V c o m に対するパルス高さが変わり、これで階調を表現する。対向反転すれば液晶の交流駆動をする際に信号線の電圧振幅を約 1 / 2 にすることが可能で一般的に行われている。なお、図 1 0 の蓄積容量 1 0 4 を前段ゲート（図には示されていないが G j - 1）とオーバーラップして形成し、前段のゲート側からパルス電圧を印加して、対向電位を一定に保ったまま対向反転同様に信号線の電圧振幅を約 1 / 2 に低減できる容量結合駆動がある（特開平 3 - 3 5 2 1 8 号公報）。あるいは蓄積容量 1 0 4 を前段ゲートにオーバーラップさせずに、ゲートとは独立に蓄積容量にパルス電圧を印加する容量結合駆動（特願平 1 - 2 5 5 2 2 8）の場合も同様の効果が得られる。

図 1 2 に走査線の選択順序を示す。横軸は時間、縦軸は選択ラインである。時間軸の最小幅は水平走査期間 H であり、表示ライン数は 1 6 である。図 1 2 のように、選択順序は $0 \rightarrow 1 \rightarrow 2 \rightarrow \dots \rightarrow 15$ というように順次走査となっている。従って、1 6 H で 1 フレーム期間が完了し、次のフレームの書き込みが始まる。実際には、フレーム期間にはライン選択時間以外に垂直ブランキング期間が設けられるが、図 1 2 では省略している。なお、水平走査期間 H は図

1 1 の H D の 周 期 に 等 し く、こ の 時 間 内 に ア ナ ロ グ 信 号 が 画 素 に 書
き 込 ま れ て い る。

次 に、従 来 の ア ク テ ィ ブ マ ト リ ク ス 有 機 E L パ ネ ル の 構 成 を 図 1
3 に 示 す。図 1 0 の 液 晶 パ ネ ル の 場 合 と 同 機 能 の も の は 同 一 番 号 を
5 付 す。4 0 1 は ア ク テ ィ ブ マ ト リ ク ス 方 式 の 有 機 E L パ ネ ル で あ り、
信 号 線 $S_1 \sim S_n$ と、こ れ と 直 交 す る 走 査 線 $G_1 \sim G_m$ と、そ の 交
点 近 傍 に あ る ス イ ッ チ ン グ 素 子 か ら な る。 S_i は あ る 信 号 線、 G_j
は あ る 走 査 線、4 0 2 お よ び 4 0 3 は そ れ ら の 交 点 近 傍 に あ る 第 1
お よ び 第 2 の ス イ ッ チ ン グ 素 子 で あ り、3 端 子 の 薄 膜 ト ラ ン ジ ス タ
10 (T F T) を 示 し て い る。4 0 4 は 補 助 容 量 で あ り、第 1 の ト ラ ン
ジ ス タ 4 0 2 を 介 し て 第 2 の ト ラ ン ジ ス タ 4 0 3 の ゲ ー ト 電 極 に 印
加 さ れ た 信 号 線 S_i の 電 圧 を 保 持 す る 役 割 を す る。4 0 5 の 位 置 は
画 素 電 極 を 示 し、第 2 の ト ラ ン ジ ス タ 4 0 3 を 介 し て 電 源 供 給 線 V_s
に 接 続 さ れ て い る。4 0 6 は 有 機 E L 素 子 で あ り、画 素 電 極 4 0
15 5 と 対 向 電 極 V_{com} と の 間 に 形 成 さ れ、対 向 電 極 V_{com} お よ び
電 圧 供 給 線 V_s と の 間 に 流 れ る 電 流 に よ り 発 光 し、そ の 電 流 制 御 に
よ り 階 調 表 示 を 行 う。水 平 駆 動 回 路 お よ び 垂 直 駆 動 回 路 の 動 作 に つ
い て は 図 1 の 液 晶 の 場 合 と 同 様 で あ り、走 査 線 G_j を 順 次 走 査 し て
第 1 の ト ラ ン ジ ス タ 4 0 2 を 導 通 さ せ、信 号 線 S_i に 出 力 さ れ た ア
20 ナ ロ グ 電 圧 を 第 2 の ト ラ ン ジ ス タ 4 0 3 の ゲ ー ト と 補 助 容 量 4 0 4
に 書 き 込 ん で い る。

以 上 の よ う に、従 来 の ア ク テ ィ ブ マ ト リ ク ス 液 晶 パ ネ ル 及 び 有 機
E L パ ネ ル で は、ア ナ ロ グ 的 に 輝 度 を 変 調 す る こ と で 階 調 表 示 を 行
っ て き た。そ の た め、水 平 駆 動 回 路 に は D / A 変 換 回 路 が 設 け ら れ、
25 パ ネ ル に 対 し て ア ナ ロ グ 量 の 電 圧 な い し は 電 流 を 出 力 す る 必 要 が あ
っ た。し か し な が ら、D / A 変 換 回 路 の 後 段 に は、負 荷 で あ る 信 号

線容量を充放電するための電流バッファとしてオペアンプを設ける
必要があり、これが駆動回路全体の消費電力を増大させる要因であ
った。なぜなら、オペアンプは負荷を充放電していないときでもス
タティックな電流が絶えず流れて続けており、しかも全信号線数に
5 等しい数だけのオペアンプが存在するので、オペアンプのスタティ
ック電流による消費電力の総和は大きくなり、これが駆動回路全体
の消費電力の中で大きな割合を占めていた。

またアクティブマトリクス有機 EL パネルの階調表示では、有機
EL 素子に流れる電流量により輝度を制御するため、パネルの表示
10 品質は画素トランジスタの電流-電圧特性のばらつきに非常に敏感
である。したがって、輝度ムラなどの画質低下を防ぐためには、パ
ネル全体にわたりトランジスタ特性を均一に形成する必要がある。

これらの電力課題、画質課題を解決する一つの方法として、D/A
コンバータやオペアンプなどのアナログ回路を用いず、2 値の固
15 定電圧のみを用いて時間変調によりデジタル的に階調表示を行う駆
動方法が知られている。本願ではこれをデジタル階調表示方式と呼
ぶものとする。デジタル階調表示方式では、アナログ回路のスタテ
ィック電流による電力ロスがなく、また高画質に対して要求される
トランジスタ特性のばらつきも厳しくない。

20 図 14 に液晶の場合を例として、従来のデジタル階調表示方式の
構成を示す。図 14 は図 10 に比較して、D/A 変換回路およびオ
ペアンプの代わりに、2 値の固定電圧 V_H 、 V_L を選択するアナロ
グマルチプレクサすなわちデコーダ 501 とアナログスイッチ 50
2 が配置されている。デコーダとアナログスイッチは非常に簡単な
25 回路で構成することができ、スタティックな電力消費がほとんどな
い。また、有機 EL を用いたデジタル駆動の場合も図 5 と同様に、

D/A変換回路およびオペアンプの代わりに、デコーダとアナログスイッチが配置される。特に有機ELにデジタル階調表示方式を適用すると、画素トランジスタの電流-電圧特性が多少ばらついていても、2値の固定電圧に対する電流変動さえ抑えられれば、輝度ムラが生じない良質な画像を提供できるという利点がある。なお、走査側は図7のように順次走査を行うためのシフトレジスタ回路により構成され、図10のアナログ駆動と同じである。

次に、2値の固定電圧 V_H 、 V_L により階調を表示する方法を図15と共に説明する。全体画像を表示するフレーム期間を時間的に重み付けされた複数のサブフレーム期間に分け、それぞれのサブフレーム期間において液晶の場合は画素電極に、有機ELの場合は第2のトランジスタのゲート電極に V_H または V_L を加えることで、時間的なパルス幅変調を行っている。図15は、固定電圧が2値でサブフレームの数と入力データのビット数が一致している場合の例を示しており、入力データが4ビット、サブフレームの数が4である。入力データの最上位ビット(MSB)~最下位ビット(LSB)に対応して、サブフレームSF4~SF1をそれぞれ割り当てている。入力データと重み付けされたサブフレームSF1~SF4における2値の固定電圧 V_H 、 V_L の組み合わせにより16通りの階調表示を行っている。例えば、階調データが10進数で11、すなわち2進数で"1011"のとき、サブフレームSF3では"0"に対応する V_L が選択され、サブフレームSF1、SF2、SF4では"1"に対応する V_H が選択される。なお、液晶素子の透過率-電圧特性(T-V特性)や有機ELの発光輝度-電流特性に合わせて、"0"に V_H 、"1"に V_L を対応させても良い。

従来のデジタル階調表示方式では、時間的に重み付けされたサブ

フレーム構造をとるために、図 1 6 に示すように走査線を選択する必要がある。図 1 6 はサブフレーム数が 4 の場合で、単純に走査線を上から下へ順次走査しており、サブフレームの時間的な重み付けを 1 : 2 : 4 : 8 とするために上位ビットほど長いサブフレーム期間を有している。このように、デジタル駆動で順次走査する場合のフレーム周期は、サブフレーム数を N 、表示ライン数を L 、水平走査期間を H として

$$L (1 + 2 + 4 + \dots + 2 \text{ の } (N - 1) \text{ 乗}) \times H \\ = (2 \text{ の } N \text{ 乗} - 1) H L$$

と表される。上式から分かるように、サブフレーム数 N が増えるとサブフレーム期間が 2 の N 乗の項に起因して急激に大きくなる。特に最上位ビット (MSB) に対するサブフレーム期間は、他のラインの書き込みを行わない保持期間が非常に増大してしまう。この原因によりフレーム周期が増大してフリッカと呼ばれるちらつきが生じる。逆にフレーム周波数を一定とすると、水平走査周波数が大きくなって電力の増大を引き起こすという課題があった。

次に、デジタル階調表示方式に特有の画質課題である動画疑似輪郭について説明する。図 1 7 に動画疑似輪郭の発生原理を示す。固定電圧が 2 値、サブフレーム数が 4、サブフレームの保持期間の比が 1 : 2 : 4 : 8 で 1 6 階調表示する場合において、動画表示を想定し、ある画素の 2 フレーム間の連続的な輝度変化を考える。図 1 7 では、説明を容易にするため、時間的に最上位ビットに対するサブフレーム SF 4 から順に選択している。第 1 フレームでは階調 "7" すなわち "0 1 1 1" が表示され、第 2 フレームでは階調 "8" すなわち "1 0 0 0" が表示されたとする。この場合、2 フレーム間では "0 1 1 1 1 0 0 0" が表示されることになる。人間の目に

は発光パターンが累積され時間的に平均化されるが、フレーム周波数が60Hz程度では“1111...”の発光パターンに対して本来“7”あるいは“8”の輝度に見えるはずが、階調“16”の輝度に一瞬見えてしまう。このように、上位ビットの急激な変化が

5 動画疑似輪郭をもたらす。これを防ぐためには一般的に、サブフレームの数を増やし、急激なビット変化を極力抑える手段が用いられる。例えば、図18のように、サブフレーム数を5とし、サブフレームの保持期間の比を1:2:4:4:4として適切に16階調を選ぶようにする。このとき、階調“7”から階調“8”へのビット

10 変化が緩やかになり、この階調変化に関する動画疑似輪郭が低減する。ただし、階調“3”から階調“4”への動画疑似輪郭は残る。サブフレームの数をさらに増やせば、動画疑似輪郭をさらに低減できる。このように、動画疑似輪郭を低減しようとするればサブフレームの数を増やす必要があり、従ってフレーム周期が増大し、フレーム周波数を一定とすれば水平走査周波数が増大し、故に電力増大を

15 もたらすという課題があった。

(背景技術の課題の要約)

上記背景技術の課題を要約すれば以下の通りである。

- (1) 小型の電池駆動の携帯機器に用いられる表示装置、特にアク
- 20 ティブマトリクス方式の液晶及び有機EL等の表示装置において、D/Aコンバータやオペアンプ等のアナログ回路を用いずに、2値の固定電圧のみで時間的に重み付けられたサブフレームにより多階調表示を行うと、フレーム周期が増大しフリッカを発生したり、電力を増大する要因となっていた。
- 25 (2) また、動画疑似輪郭を低減するためにサブフレームの数を増やすと、さらに電力の増大を引き起こしていた。

発 明 の 開 示

本発明の目的は、サブフレームにより多階調表示を行い、しかも
フレーム期間を短縮してフリッカの発生を防止するようにしたアク
5 ティブマトリックス型表示装置及びその駆動方法を提供すること
である。

また、本発明の他の目的は、サブフレームの数を増やすことなく、
動画疑似輪郭を低減するようにしたアクティブマトリックス型表示
装置及びその駆動方法を提供することである。

10 上記の目的を達成するため、本発明は、1フレームを書き込み期
間と保持期間からなる複数のサブフレームで構成し、前記保持期間
の累積効果で階調表示を行うアクティブマトリックス型表示装置の
駆動方法において、表示階調数よりも少ない複数の信号レベルを予
め準備しておき、デジタル画像データに応じて、前記複数の信号レ
15 ベルのうちのいずれかの値を選択して信号線を介して出力するとど
もに、予め定めた1つの走査線に関する各サブフレーム毎の保持期
間に、前記予め定めた1つの走査線以外の残余の走査線を、同一走
査線に関して同一のサブフレームを書き込まないように予め定めた
順序に従ってランダム走査し、1フレーム期間全体としてみると、
20 各走査線それぞれにおいて、実質的に前記複数のサブフレーム毎の
書き込みが行われ、各サブフレーム毎の保持期間が確保されて階調
表示駆動が行われることを特徴とする。

本発明による選択方法には、サブフレーム期間の選択順序が循環
する場合と循環しない場合の両者が含まれる。また、サブフレーム
25 の各々について順次走査の場合とそうでない場合の両者が含まれる。

上記構成により、従来のデジタル階調表示方式に比べてフレーム

期間を短縮でき、フリッカを大幅に低減できる効果がある。

また、フレーム周波数を一定とすれば、水平走査期間が大きくなることができ、この時間に行う液晶パネル容量の充放電による電力を低減できる。

- 5 更に、D/A変換回路やオペアンプが不要で駆動回路の構成を簡単にすることができ、消費電力の削減を図ることができる。

また、本発明は、サブフレーム期間の選択順序が $S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n \rightarrow S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n$ と循環するよう
 10 に走査線を選択する駆動方法の場合もある。このような駆動方法
 10 にあつては、走査線の選択方法としては、サブフレームの各々について必ずしも順次走査とならないこともある。

また、本発明は、サブフレーム期間の選択順序が $S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n \rightarrow S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n$ と循環し、か
 つ1つの前記サブフレーム期間について見れば順次走査となるよう
 15 に走査線を選択する駆動方法の場合もある。

また、本発明は、サブフレーム数を N 、水平走査期間を H 、保持
 期間の重み付けを $1:2:4:\dots:2$ の $(N-1)$ 乗、走査線
 数を L 、正の整数を K としたとき、前記フレーム期間を $NH(1 +$
 $K(2$ の N 乗 $- 1)) = NHL$ と設定して駆動する場合もある。

- 20 また、本発明は、サブフレーム数を N 、水平走査期間を H 、 i 番
 目のサブフレーム期間における保持期間の重み付けを $K(i)$ (但し、
 $i = 1, 2, \dots, N$ とする)、走査線数を L としたとき、前記フ
 レーム期間を $NH(1 + \sum K(i)) = NHL$ と設定して駆動する場合も
 ある。

- 25 また、本発明は、表示階調数よりも少なく且つ3以上の複数の信号レベルを予め準備しておき、デジタル画像データに応じて、前記

複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、1つの階調に対して前記1フレーム期間にとり得る前記信号レベルの自由度を2とする場合もある。

5 複数の信号レベルは、2値としてもよく、3以上の複数值としてもよい。特に3以上の複数值（多値化）の場合は、デジタルとアナログの併用により階調表示を行うことを意味する。そして、このように多値化した場合には、サブフレーム数を増やさずに表示階調数を増やせる利点がある。そのため、隣り合う2つの階調での急激なビット変化が小さくなるように適切に階調を選べば、サブフレーム
10 を増やさずに動画疑似輪郭による画質劣化を抑えることが可能となる。

また、本発明は、上記駆動方法を実現するように構成されたアクティブマトリックス型表示装置である。

また、アクティブマトリックス型表示装置としては、液晶層を有
15 する液晶表示装置であってもよく、また、液晶層に代えて、発光層を備えた有機EL表示装置であってもよい。

図面の簡単な説明

図1は実施の形態1に係るアクティブマトリックス型液晶表示装置
20 10の要部構成図である。

図2は液晶表示装置10の電氣的構成を示す回路図である。

図3は実施の形態1における走査線の選択順序を示す駆動シーケンス図である。

図4は実施の形態1における走査線の選択順序の変形例を示す駆
25 動シーケンス図である。

図5は実施の形態1における走査線の選択順序の変形例を示す駆

動シーケンス図である。

図 6 は実施の形態 2 に係る液晶表示装置 10 A の電氣的構成を示す回路図である。

図 7 は実施の形態 2 における階調とサブフレームとの関係を示す図である。

図 8 は実施の形態 2 における階調とサブフレームとの関係の変形例を示す図である。

図 9 は実施の形態 2 における階調とサブフレームとの関係の変形例を示す図である。

10 図 10 は従来のアクティブマトリクス液晶パネルにおけるアナログ階調表示の構成図である。

図 11 は従来のアクティブマトリクス液晶パネルにおけるアナログ階調表示の波形図である。

15 図 12 は従来のアナログ階調表示の走査線選択順序を示す図である。

図 13 は従来のアクティブマトリクス有機 EL パネルにおけるアナログ階調表示の構成図である。

図 14 は従来のアクティブマトリクス液晶パネルにおけるデジタル階調表示の構成図である。

20 図 15 はデジタル階調表示における階調とサブフレームの関係を示す図である。

図 16 は従来のデジタル階調表示の走査線選択順序を示す図である。

25 図 17 はデジタル階調表示における動画疑似輪郭の発生原理を示す図である。

図 18 は従来のデジタル階調表示における動画疑似輪郭の低減方

法を示す図である。

発明を実施するための最良の形態

(実施の形態 1)

5 図 1 は実施の形態 1 に係るアクティブマトリクス型液晶表示装置 10 の要部構成図であり、図 2 は液晶表示装置 10 の電氣的構成を示す回路図である。本実施の形態 1 に係る液晶表示装置において、図 10 及び図 14 に示す従来例に対応する部分には同一の参照符号を付して、詳細な説明は省略する。この液晶表示装置 10 は、1 フ
10 レームを書き込み期間と保持期間からなる複数のサブフレーム $S F_1, S F_2, \dots, S F_n$ (総称するときは参照符号 $S F$ で示す) で構成し、保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置である。液晶表示装置 10 は、第 1 の基板 11 と、第 1 の基板 11 に対向して配置される第 2 の基板 12 と、基板 11, 12
15 間に封止される液晶層 103 とを有する。第 1 の基板 11 の内側面には、マトリクス状に配置された複数の信号線 S_1, S_2, \dots, S_n (信号線を総称するとは、参照符号 S で示す) と複数の走査線 G_1, G_2, \dots, G_m (走査線を総称するときは、参照符号 G で示す) の各交点に対応してスイッチング素子としての薄膜トランジスタ 102 (TFT)、TFT 102 に接続された画素電極 105 およ
20 び画素電極 105 に接続された蓄積容量 104 が形成されている。また、第 2 の基板 12 の内側面には、対向電極 14 が形成されている。

20 は信号線駆動回路である。この信号線駆動回路 20 は、シフトレジスタ/ラッチ回路 106 (図面の簡略化のため、シフトレジスタとラッチを併せて 1 つのブロックとして示している) と、デコ

ーダ 5 0 1 と、アナログスイッチ 5 0 2 とを有する。デコーダ 5 0 1 及びアナログスイッチ 5 0 2 は、アナログマルチプレクサを構成し、デジタル画像データに応じて 2 値の固定電圧 V_H 、 V_L のいずれかを選択する働きをなす。このような構成により、信号線駆動回路 2 0 は、表示階調数よりも少ない複数（本実施の形態 1 では固定電圧 V_H 、 V_L の 2 値）の電圧レベルを予め準備しておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して信号線 S を介して出力する機能を果たすことになる。

また、3 0 は走査線駆動回路である。この走査線駆動回路 3 0 は、アドレス信号 ADV により指定された走査線 G を選択するデコーダ 8 0 3 と、出力バッファ 1 1 0 とから構成されている。デコーダ 8 0 3 には制御回路（図示せず）から出力されるアドレス信号 ADV が供給され、アドレス信号 ADV によりアドレス指定された走査線が選択されるように構成されている。なお、アドレスの指定順序は、予め制御回路（図示せず）内のメモリに予め記憶されており、このメモリに基づき後述する所定の順序により走査線がランダム走査されることになる。

次いで、液晶表示装置 1 0 の駆動方法について説明する。実施の形態 1 では、全体画像を表示するフレーム期間を時間的に重み付けされた複数のサブフレーム期間に分け、それぞれのサブフレーム期間において 2 値の固定電圧 V_H または V_L を選択出力することで、時間的なパルス幅変調を行っている。階調データとサブフレームにおける 2 値の固定電圧の組み合わせの関係は、例えば図 1 5 に示されるが、図 1 5 と異なる組み合わせであってもよい。

次いで、具体的な駆動シーケンスを図 3 に示す。この図 3 は第 0 番目の走査線～第 1 5 番目の走査線の 1 6 本の走査線で、固定電圧

が 2 値で、サブフレームの数と入力階調データのビット数が共に 4
で一致している場合の例を示している。図 3 (a) 及び図 3 (c)
は第 0 番目の走査線のサブフレームを示している。また、図 3 (b)
及び図 3 (d) は走査線の選択順序を示している。なお、図 3 (a)
5 及び図 3 (c) は全体で 1 フレーム期間を示しており、図 3 (c)
は図 3 (a) に後続するものであるが、図面のスペース等を考慮し
て 2 つに分けて描いたに過ぎない。また、同様に、図 3 (b) 及び
図 3 (d) は全体で 1 フレーム期間を示しており、図 3 (d) は図
3 (b) に後続するものであるが、図面のスペース等を考慮して 2
10 つに分けて描いたに過ぎない。

以下、図 3 を参照しつつ、具体的な駆動方法について説明する。

各サブフレーム S F 1 ~ S F 4 の期間は書き込み期間と保持期間か
らなり、書き込み期間はどのサブフレームにおいても 1 水平走査期
間 ($1 H$) で一定であり、保持期間はサブフレームごとに水平走査
15 期間の 2 の累乗倍の定数倍に重み付けされている。即ち、サブフレ
ーム S F 1 の保持期間は $4 H$ とされ、サブフレーム S F 2 の保持期
間は $8 H$ とされ、サブフレーム S F 3 の保持期間は $16 H$ とされ、
サブフレーム S F 4 の保持期間は $32 H$ とされている。

ここで、本発明における駆動方法は、フレーム期間の短縮化を目
20 的とするものである。そして、かかる目的達成のため、予め定めた
1 つの走査線 (図 3 の場合では、第 0 番目の走査線に相当する) に
関する各サブフレーム毎の保持期間に、前記予め定めた 1 つの走査
線以外の残余の走査線 (図 3 の場合では、第 1 番目 ~ 第 15 番目の
走査線に相当する) を、同一走査線に関して同一のサブフレームを
25 書き込まないように予め定めた順序に従ってランダム走査し、1 フ
レーム期間全体としてみると、全ての走査線に関してサブフレーム

毎の書き込み及び保持期間が確保されて階調表示が行われることを特徴とする。

ここで、上記目的を達成するための具体的な走査線の選択順序を設定するに際して、先ず、サブフレーム期間を一般化しておく。Hを
 5 1 水平走査期間、Nを全サブフレーム数、Kを正の整数とするとき、
 i 番目のサブフレーム期間は、(ただし、 $i = 1, 2, \dots, N$)

$$(1 + 2 \text{ の } (i - 1) \text{ 乗} \times N K) \times H$$

と表される。上式の括弧内の第1項は書き込み期間を表し、第2項は保持期間を表している。保持期間は(2の累乗) \times (定数K) \times
 10 (サブフレーム数N) \times (水平走査期間H)で表され、サブフレームごとに(2の累乗)の部分が1, 2, 4, 8, ...と重み付けされる。保持期間にNKの項を含んでいるのは、後述するようにフレーム期間の短縮に役立つからである。

そして、1フレーム期間は、全サブフレーム期間の和であるので、
 15 $(N + N K (1 + 2 + 4 + \dots + 2 \text{ の } (N - 1) \text{ 乗})) \times H$
 $= N \cdot H (1 + K (2 \text{ の } N \text{ 乗} - 1))$

と表される。

図3(a), (c)の波形図においては、パルスの部分が書き込み期間、それ以外の部分が保持期間に相当する。

20 走査線の選択順序は、単純に上から下へ順次走査するのではなく、
 図3(b), (d)に示すように所定の順序で選択することにより、
 上位ビットにおけるサブフレーム期間の保持期間を利用して他のラインのサブフレームを書き込み、フレーム期間を短縮している。フレーム期間を短縮する具体的な方法は以下の手順で行う。

25 (1) 表示走査線数の設定

1 フレーム期間には、全てのサブフレームを書き込むために：ラ

インに対し N 回の書き込み期間が必要である。従って、表示走査線数が L であるとき、1 フレーム期間に 1 水平走査期間の $(N \times L)$ 倍の書き込み期間が必要である。すなわち、書き込み期間は NHL で表される。保持期間を利用して他のラインの書き込みを行うとき、

5 最も効率的なのは、

$$NH(1 + K(2^N - 1)) = NHL$$

が成り立つときである。従って、表示走査線数を

$$L = 1 + K(2^N - 1)$$

となるように選べばよい。

10 図 3 (b), (d) の例ではサブフレーム数が $N = 4$ であるから、表示走査線数は $L = 15K + 1$ となる。 K は正の整数であり、 $K = 1, 2, 3, \dots$ とすると、 $L = 16, 31, 46, \dots$ となる。

図 3 (b), (d) では、 $K = 1$ として表示走査線数 $L = 16$ 、1 フレーム期間が $NHL = 64H$ となっている。

15 (2) 走査線の選択順序の設定

次いで、走査線の選択順序に関して詳細に説明する。図 3 はサブフレーム数が $N = 4$ 、表示走査線数 $L = 16$ ($K = 1$) の場合であり、各サブフレーム期間は $5H$ 、 $9H$ 、 $17H$ 、 $33H$ であり、1 フレーム期間はこれらの和であって $64H$ となる。先頭の第 0 番目

20 の走査線に注目すると、時刻 $t = 0$ から水平走査期間 $1H$ の間に、最下位ビットに対するサブフレーム $SF1$ を書き込んでいる。その後、保持期間が $4H$ あって、次に第 0 番目の走査線の $SF2$ を書き込む時刻は $t = 5H$ となる。この $SF1$ の保持期間の間に、他の走査線のサブフレームを書き込んでいる。即ち、 $t = 1H$ で第 15 番

25 目の走査線の $SF2$ を、 $t = 2H$ で第 13 番目の走査線の $SF3$ を、 $t = 3H$ で第 9 番目の走査線の $SF4$ を、 $t = 4H$ で第 1 番目の走

査線の S F 1 を書き込んでいる。換言すれば、書き込むサブフレームの順序が S F 1 → S F 2 → S F 3 → S F 4 → S F 1 . . . というように循環している。また、1つのサブフレーム、例えば S F 4 に注目すれば、選択順序は開始ラインを 9 として、 $9 \rightarrow 10 \rightarrow 11 \rightarrow \dots \rightarrow 15 \rightarrow 0 \rightarrow 1 \rightarrow \dots \rightarrow 8$ というように順次走査となっている。他のサブフレームについても、開始ラインが異なるだけで順次走査と言う点では同様である。各サブフレームの開始ラインは、0 ライン目に対する各サブフレームの書き込み時刻が決まれば一義的に決まる。

10 このように、サブフレームの保持期間を利用して他のラインのサブフレームを書き込むように走査線を選択すれば、単純に順次走査してサブフレーム構造をとる場合に比べてフレーム期間を $N / (2$ の N 乗 - 1) 倍に短縮できる。

15 例えば図 3 と図 1-6 は同じ表示走査線数、同じサブフレーム数であるが、順次走査の図 1-6 のフレーム周期は 240 H であるのに対し、図 3 では 64 H で済む。フレーム周期を短縮できればフリッカと呼ばれるちらつきを防止することができ、またフレーム周波数を一定とすれば水平走査期間を増大でき、この水平走査期間に行う液晶パネル容量の充放電による電力を低減できる。

20 上記の例では、サブフレームの保持期間の比を S F 1 : S F 2 : S F 3 : S F 4 = 1 : 2 : 4 : 8 としたけれども、本発明はこれに限定されるものではなく、例えば S F 1 : S F 2 : S F 3 : S F 4 = 2 : 8 : 1 : 4 に設定しても、上記と同様な考え方で走査線を選択順序を図 4 に示すようにすれば、フレーム期間の短縮化を図ることが
25 とができる。

また、上記の例では、サブフレーム期間の選択順序が S F 1 → S

F 2 → S F 3 → S F 4 → S F 1 . . . というように循環し、かつ 1
つのサブフレーム期間について見れば順次走査となるように走査線
を選択したいが、本発明はこれに限定されるものではなく、例え
ば図 5 に示すように、サブフレーム期間の選択順序が S F 1 → S F
5 2 → S F 3 → S F 4 → S F 1 . . . と循環するけれども、1 つのサ
ブフレーム期間について見れば順次走査とならないような選択を行
うようにしてもよい。図 5 の場合、例えば S F 4 に注目すれば、選
択順序は開始ラインを 3 として、3 → 5 → 7 → 9 → → 1 1 → 1 3 →
1 5 → 2 → 4 → . . . 1 4 → 3 → 5 → というように 2 ラインおきの
10 走査となっている。他のラインについても同様に 2 ラインおきの走
査となっている。このような図 5 に示す走査線の選択であっても、
フレーム期間の短縮化を図ることができる。なお、順次走査を行う
方が、走査線を指定するアドレス回路を簡略化できる。

また、上記の例では、サブフレーム期間を重み付けの小さい順に
15 S F 1 → S F 2 → S F 3 → S F 4 → S F 1 → . . . というように循
環して走査線を選択したが、逆に重み付けの大きい順に S F 4 → S
F 3 → S F 2 → S F 1 → S F 4 → . . . と循環してもよい。あるい
は、重み付けの大きさに関係なく、例えば S F 3 → S F 1 → S F 4
→ S F 2 → S F 3 → . . . というようにサブフレーム順序を自由に
20 設定してもよい。

また上記の例ではサブフレームの循環する周期をサブフレーム数
N = 4 に一致させて 4 H 周期としたが、N の倍数の範囲、例えば N
= 4 の場合は 8 H 周期で循環させても良い。またすべてのラインを
複数のラインからなるブロックごとに、あるいは数ラインおきに、
25 あるいは偶数ラインと奇数ラインとに分けるなどして、サブフレ
ームの順序を異ならせてもよい。このような場合、サブフレームの各々

について必ずしも順次走査とならないことがある。

(走査線の選択方法の要約)

上記走査線の選択方法を要約すれば、以下の3通りに大別することができる。

- 5 (1) 複数の走査線のうち予め定めた1つの走査線に関する各サブフレーム毎の保持期間に、前記予め定めた1つの走査線以外の残余の走査線を、同一走査線に関して同一のサブフレームを書き込まないように予め定めた順序に従ってランダム走査して、1フレーム期間全体としてみると、各走査線それぞれにおいて、実質的に前記複
- 10 数の各サブフレーム毎の書き込み・保持期間が確保されている。

この選択方法では、サブフレーム期間の選択順序が循環する場合と循環しない場合の両者が含まれる。また、サブフレームの各々について順次走査の場合とそうでない場合の両者が含まれる。この選択方法によれば、保持時間を有効利用することにより、フレーム期

15 間を短縮できるという効果がある。

(2) サブフレーム期間の選択順序が $S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n \rightarrow S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n$ と循環するように走査線を選択する。

この選択方法では、サブフレームの各々について必ずしも順次走

20 査とならないこともある。この選択方法によれば、上記の(1)の選択方法に比べて、保持時間をさらに有効利用でき、フレーム期間を最も短縮できるとともに、走査線を指定するアドレス回路を簡略化できるという効果がある。

(3) サブフレーム期間の選択順序が $S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n \rightarrow S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n$ と循環し、かつ1つの前記

25 サブフレーム期間について見れば順次走査となるように走査線を選

択する。この選択方法によれば、上記の(1)、(2)の選択方法に比べて、走査線を指定するアドレス回路を、構成の簡単なカウンタ回路で構成できるという効果がある。

5 なお、上記の(1)～(3)の選択方法は、走査線の選択方法の考え方が異なるものであるが、結果的には同一の駆動シーケンスとなる場合はある。

また、上記の例では、サブフレームの保持期間を(2の累乗)×(定数K)×(サブフレーム数N)×(水平走査期間H)としたが、(2の累乗)×(定数K)の部分を任意に設定してもよい。一般化
10 すれば、重みの部分(定数K)×(2の累乗)を $K(i)$ に置き換え、保持期間を $N \cdot H \cdot K(i)$ を表し、 i 番目のサブフレーム期間を、(ただし、 $i = 1, 2, \dots, N$)

$$(1 + N \cdot K(i)) \times H$$

と表すことができる。また1フレーム期間は、全サブフレーム期間
15 の和であるので、

$$N \cdot H \cdot (1 + K(1) + K(2) + \dots + K(N)) = N \cdot H \cdot (1 + \sum K(i))$$

と表される。フレーム期間を短縮するためにこれを $N \cdot H \cdot L$ と置けば、表示走査線数は

$$20 \quad L = 1 + K(1) + K(2) + \dots + K(N) = 1 + \sum K(i)$$

となる。そして、この場合においても、上記のサブフレームの保持期間を(2の累乗)×(定数K)×(サブフレーム数N)×(水平走査期間H)する場合と同様な考え方に基づいて、走査線の選択順序を設定すればよい。

25 (実施の形態1の補足説明)

①本実施の形態では液晶の交流駆動に関しては従来例と同様に対

向反転駆動を仮定しており、固定電圧を2値としたが、対向を一定とする場合には固定電圧を正極性及び負極性でそれぞれ2値ずつ、合計4値とすることで適用可能である。なお、前段ゲートの容量結合駆動、あるいは蓄積容量を独立に制御する容量結合駆動を用いられ
5 ば、固定電圧を2値のままに対向を一定にすることが可能である。

②本実施例ではサブフレーム数 $N = 4$ 、定数 $K = 1$ より表示ライン数を $L = 16$ としたが、これは表示可能な最大ライン数であって、実際にはこれより少ないライン数でもよい。例えば、表示可能な最大ライン数を $L = 16$ とし、実際に表示するライン数を15ライン
10 とした場合には、どのラインも選択されない時間が4H分生じるだけである。

(実施の形態2)

図6は実施の形態2に係る液晶表示装置10Aの電気的構成を示す回路図である。本実施の形態2は、実施の形態1に類似し対応する部分には同一の参照符号を付す。上記実施の形態1では時間的に重み付けされた複数のサブフレームにおける2値の固定電圧の組み合わせで階調表示を行うようにしたが、本実施の形態2では、3値以上の固定電圧を組み合わせで階調表示を行うことを特徴するものである。このことは、多値サブフレームによる階調表示、すなわちデ
20 ジタルとアナログの併用により階調表示を行うことを意味する。

このように多値化した場合には、信号側駆動回路の固定電圧を選択するアナログマルチプレクサ（デコーダおよびスイッチ）の回路構成が複雑になるが、サブフレーム数を増やさずに表示階調数を増やせる利点がある。例えば、図7のように、3値4サブフレームで
25 保持期間の比を1:2:4:8とした場合、1つの階調に対して取り得る固定電圧の自由度を2とすれば、最大31階調得られる。

一方、多値化によりサブフレーム数を少なくすることも可能である。例えば、図 8 のように、3 値 3 サブフレームで保持期間の比を 1 : 2 : 4 とした場合、1 つの階調に対して取り得る固定電圧の自由度を 2 とすれば、最大 15 階調得られる。サブフレーム数を少なくできればフレーム周期をさらに短縮することができ、フレーム周波数を一定とすれば水平走査周波数を低減でき、電力を低減することが可能である。ここで多値化する際、1 つの階調に対して取り得る固定電圧の自由度を 2 とすることにより、隣り合う階調間での輝度飛びを防ぐことができ、階調－輝度特性において連続性を保つことができる。

また、図 9 のように、3 値 4 サブフレームで保持期間の比を 1 : 2 : 2 : 2 として、隣り合う 2 つの階調での急激なビット変化が小さくなるように適切に階調を選べば、サブフレームを増やさずに動画疑似輪郭による画質劣化を抑えることが可能である。

15 なお、多値化した場合も 2 値の場合と同様に、対向反転駆動及び容量結合駆動を用いて、固定電圧の数を 2 倍にすることなく液晶の交流駆動が可能である。

(その他の事項)

上記実施の形態 1, 2 では表示素子に液晶を用いて説明したが、
20 表示素子が有機 EL であっても実施の形態 1, 2 の走査線の選択方法を同様に適用することができる。

産業上の利用可能性

以上のように本発明の構成によれば、本発明の各課題を十分に達成
25 することができる。具体的には以下のとおりである。

(1) 従来のアクティブマトリクス型表示装置、特に液晶、有機

ELを用いたアクティブマトリクス型表示装置において、従来のデジタル階調表示方式に比べてフレーム期間を短縮でき、フリッカを大幅に低減できる効果がある。また、フレーム周波数を一定とすれば、水平走査期間が大きくすることができ、この時間に行う液晶パネル容量の充放電による電力を低減できる効果がある。

(2) D/A変換回路やオペアンプが不要でドライバ回路の構成を簡単にすることができ、これらで消費する電力を削減できる効果がある。

(3) 従来のアナログ階調表示方式で要求されるほど高精度で均一な薄膜トランジスタの特性を必要とせず、トランジスタ特性ばらつきによる輝度ムラなどの画質劣化を低減できる効果がある。

(4) 固定電圧を多値化することにより、電力を増大させずに階調性や動画疑似輪郭などの画質劣化を防ぐことが可能となる。

請 求 の 範 囲

1. 1 フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置の駆動方法において、

表示階調数よりも少ない複数の信号レベルを予め準備しておき、デジタル画像データに応じて、前記複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、

10 予め定めた1つの走査線に関する各サブフレーム毎の保持期間に、前記予め定めた1つの走査線以外の残余の走査線を、同一走査線に関して同一のサブフレームを書き込まないように予め定めた順序に従ってランダム走査し、

1 フレーム期間全体としてみると、各走査線それぞれにおいて、実質的に前記複数のサブフレーム毎の書き込みが行われ、各サブフレーム毎の保持期間が確保されて階調表示駆動が行われることを特徴とするアクティブマトリックス型表示装置の駆動方法。

2. 1 フレームを書き込み期間と保持期間からなる複数のサブフレーム $S F 1$, $S F 2$, ..., $S F n$ (n は自然数)で構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置の駆動方法において、

表示階調数よりも少ない複数の信号レベルを予め準備しておき、デジタル画像データに応じて、前記複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、

25 前記サブフレーム期間の選択順序が $S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n \rightarrow S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n$ と循環するように走査線を

選択することを特徴とするアクティブマトリクス型表示装置の駆動方法。

3. 1 フレームを書き込み期間と保持期間からなる複数のサブフレーム $S F 1, S F 2, \dots, S F n$ (n は自然数) で構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリクス型表示装置の駆動方法において、

表示階調数よりも少ない複数の信号レベルを予め準備しておき、デジタル画像データに応じて、前記複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、

前記サブフレーム期間の選択順序が $S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n \rightarrow S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n$ と循環し、かつ 1 つの前記サブフレーム期間について見れば順次走査となるように走査線を選択することを特徴とするアクティブマトリクス型表示装置の駆動方法。

4. 1 フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリクス型表示装置の駆動方法において、

表示階調数よりも少ない複数の信号レベルを予め準備しておき、デジタル画像データに応じて、前記複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、

サブフレーム数を N 、水平走査期間を H 、保持期間の重み付けを $1 : 2 : 4 : \dots : 2$ の $(N - 1)$ 乗、走査線数を L 、正の整数を K としたとき、前記フレーム期間を $N H (1 + K (2$ の N 乗 $- 1)) = N H L$ と設定して駆動すること特徴とするアクティブマトリクス

型表示装置の駆動方法。

5. 1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置の駆動方法において、

表示階調数よりも少ない複数の信号レベルを予め準備しておき、デジタル画像データに応じて、前記複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、

- サブフレーム数を N 、水平走査期間を H 、 i 番目のサブフレーム期間における保持期間の重み付けを $K(i)$ (但し、 $i = 1, 2, \dots, N$ とする)、走査線数を L としたとき、前記フレーム期間を $NH(1 + \sum K(i)) = NHL$ と設定して駆動することを特徴とするアクティブマトリックス型表示装置の駆動方法。

- 15 6. 1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置の駆動方法において、

- 表示階調数よりも少なく且つ3以上の複数の信号レベルを予め準備しておき、デジタル画像データに応じて、前記複数の信号レベルのうちのいずれかの値を選択して信号線を介して出力するとともに、1つの階調に対して前記1フレーム期間にとり得る前記信号レベルの自由度を2とすることを特徴とするアクティブマトリックス型表示装置の駆動方法。

- 25 7. 前記複数の信号レベルを2値とすることを特徴とする請求項1記載のアクティブマトリックス型表示装置の駆動方法。

8. 前記複数の信号レベルを2値とすることを特徴とする請求項2記載のアクティブマトリクス型表示装置の駆動方法。

5 9. 前記複数の信号レベルを2値とすることを特徴とする請求項3記載のアクティブマトリクス型表示装置の駆動方法。

10 10. 前記複数の信号レベルを2値とすることを特徴とする請求項4記載のアクティブマトリクス型表示装置の駆動方法。

11 11. 前記複数の信号レベルを2値とすることを特徴とする請求項5記載のアクティブマトリクス型表示装置の駆動方法。

15 1-2. 前記複数の信号レベルを3以上の複数值とすることを特徴とする請求項1記載のアクティブマトリクス型表示装置の駆動方法。

1-3. 前記複数の信号レベルを3以上の複数值とすることを特徴とする請求項2記載のアクティブマトリクス型表示装置の駆動方法。

20 14. 前記複数の信号レベルを3以上の複数值とすることを特徴とする請求項3記載のアクティブマトリクス型表示装置の駆動方法。

15 15. 前記複数の信号レベルを3以上の複数值とすることを特徴とする請求項4記載のアクティブマトリクス型表示装置の駆動方法。

25

16. 前記複数の信号レベルを3以上の複数值とすることを特徴

とする請求項 5 記載のアクティブマトリクス型表示装置の駆動方法。

17. マトリクス状に配置された複数の信号線と複数の走査線の
各交点に対応してスイッチング素子、前記スイッチング素子に接続
5 された画素電極、および前記画素電極に接続された蓄積容量が形成
された第 1 の基板と、前記第 1 の基板と液晶層を介して対峙する対
向電極が形成された第 2 の基板とを備え、1 フレームを書き込み期
間と保持期間からなる複数のサブフレームで構成し、前記保持期間
の累積効果で階調表示を行うアクティブマトリクス型表示装置に
10 おいて、

表示階調数よりも少ない複数の電圧レベルを予め準備しておき、
デジタル画像データに応じて、前記複数の電圧レベルのうちのい
れかの値を選択して前記信号線を介して出力する信号線駆動回路と、
前記複数の走査線のうち予め定めた 1 つの走査線に関する各サブ
15 フレーム毎の保持期間に、前記予め定めた 1 つの走査線以外の残余
の走査線を、同一走査線に関して同一のサブフレームを書き込ま
ないように予め定めた順序に従ってランダム走査する走査線駆動回路
と、

を有し、

20 1 フレーム期間全体としてみると、各走査線それぞれにおいて、
実質的に前記複数のサブフレーム毎の書き込みが行われ、各サブフ
レーム毎の保持期間が確保されて階調表示駆動が行われることを特
徴とするアクティブマトリクス型表示装置。

25 18. マトリクス状に配置された複数の信号線と複数の走査線の
各交点に対応してスイッチング素子、前記スイッチング素子に接続

された画素電極、および前記画素電極に接続された蓄積容量が形成された第1の基板と、前記第1の基板と液晶層を介して対峙する対向電極が形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレーム $S F 1, S F 2, \dots, S F n$ (n は自然数)で構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置において、

表示階調数よりも少ない複数の電圧レベルを予め準備しておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記信号線を介して出力する信号線駆動回路と、
 10 前記サブフレーム期間の選択順序が $S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n \rightarrow S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n$ と循環するように前記走査線を選択する走査線駆動回路と、
 を有することを特徴とするアクティブマトリックス型表示装置。

15 1.9 マトリクス状に配置された複数の信号線と複数の走査線の各交点に対応してスイッチング素子、前記スイッチング素子に接続された画素電極、および前記画素電極に接続された蓄積容量が形成された第1の基板と、前記第1の基板と液晶層を介して対峙する対向電極が形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレーム $S F 1, S F 2, \dots, S F n$ (n は自然数)で構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置において、

表示階調数よりも少ない複数の電圧レベルを予め準備しておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記信号線を介して出力する信号線駆動回路と、
 25 前記サブフレーム期間の選択順序が $S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S$

$F_n \rightarrow S F 1 \rightarrow S F 2 \rightarrow \dots \rightarrow S F n$ と循環し、かつ1つの前記サブフレーム期間について見れば順次走査となるように前記走査線を選択する走査線駆動回路と、

を有することを特徴とするアクティブマトリクス型表示装置。

5

20. マトリクス状に配置された複数の信号線と複数の走査線の各交点に対応してスイッチング素子、前記スイッチング素子に接続された画素電極、および前記画素電極に接続された蓄積容量が形成された第1の基板と、前記第1の基板と液晶層を介して対峙する対向電極が形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリクス型表示装置において、

表示階調数よりも少ない複数の電圧レベルを予め準備しておき、

15 デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記信号線を介して出力する信号線駆動回路と、

サブフレーム数を N 、水平走査期間を H 、保持期間の重み付けを

$1 : 2 : 4 : \dots : 2^{(N-1)}$ 乗、走査線数を L 、正の整数を K としたとき、前記フレーム期間を $NH(1 + K(2^N - 1))$

20 $= NHL$ となるように、前記走査線を選択する走査線駆動回路と、
を有することを特徴とするアクティブマトリクス型表示装置。

21. マトリクス状に配置された複数の信号線と複数の走査線の各交点に対応してスイッチング素子、前記スイッチング素子に接続された画素電極、および前記画素電極に接続された蓄積容量が形成された第1の基板と、前記第1の基板と液晶層を介して対峙する対

25

向電極が形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置において、

- 5 表示階調数よりも少ない複数の電圧レベルを予め準備しておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記信号線を介して出力する信号線駆動回路と、サブフレーム数を N 、水平走査期間を H 、 i 番目のサブフレーム期間における保持期間の重み付けを $K(i)$ (但し、 $i = 1, 2, \dots$,
 10 N とする)、走査線数を L としたとき、前記フレーム期間を $NH(-1 + \sum K(i)) = NHL$ となるように、前記走査線を選択する走査線駆動回路と、
 を有することを特徴とするアクティブマトリックス型表示装置。

- 15 2.2. マトリクス状に配置された複数の信号線と複数の走査線の各交点に対応してスイッチング素子、前記スイッチング素子に接続された画素電極、および前記画素電極に接続された蓄積容量が形成された第1の基板と、前記第1の基板と液晶層を介して対峙する対向電極が形成された第2の基板とを備え、1フレームを書き込み期
 20 間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置において、

- 表示階調数よりも少なく且つ3以上の複数の電圧レベルを予め準備しておき、デジタル画像データに応じて、前記複数の電圧レベル
 25 のうちのいずれかの値を選択し、しかも1つの階調に対して前記フレーム期間にとり得る前記電圧レベルの自由度を2とするような

選択を行い、この選択された電圧値を前記信号線を介して出力する信号線駆動回路と、

前記走査線を順次走査又はランダム走査する走査線駆動回路と、を有することを特徴とするアクティブマトリクス型表示装置。

5

23. 前記複数の電圧レベルを2値とすることを特徴とする請求項17記載のアクティブマトリクス型表示装置。

24. 前記複数の電圧レベルを2値とすることを特徴とする請求項18記載のアクティブマトリクス型表示装置。

25. 前記複数の電圧レベルを2値とすることを特徴とする請求項19記載のアクティブマトリクス型表示装置。

15 26. 前記複数の電圧レベルを2値とすることを特徴とする請求項20記載のアクティブマトリクス型表示装置。

27. 前記複数の電圧レベルを2値とすることを特徴とする請求項21記載のアクティブマトリクス型表示装置。

20

28. 前記複数の電圧レベルを3以上の複数值とすることを特徴とする請求項17記載のアクティブマトリクス型表示装置。

29. 前記複数の電圧レベルを3以上の複数值とすることを特徴とする請求項18記載のアクティブマトリクス型表示装置。

25

30. 前記複数の電圧レベルを3以上の複数值とすることを特徴とする請求項19記載のアクティブマトリクス型表示装置。

31. 前記複数の電圧レベルを3以上の複数值とすることを特徴とする請求項20記載のアクティブマトリクス型表示装置。

32. 前記複数の電圧レベルを3以上の複数值とすることを特徴とする請求項21記載のアクティブマトリクス型表示装置。

10 33. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項17記載のアクティブマトリクス型表示装置。

15 34. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項18記載のアクティブマトリクス型表示装置。

20 35. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項19記載のアクティブマトリクス型表示装置。

36. 前記信号線駆動回路が複数の前記電圧レベルから1値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項20記載のアクティブマトリクス型表示装置。

25

37. 前記信号線駆動回路が複数の前記電圧レベルから1値を選

択して出力するアナログマルチプレクサを含むことを特徴とする請求項 2 1 記載のアクティブマトリクス型表示装置。

3 8 . 前記信号線駆動回路が複数の前記電圧レベルから 1 値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項 2 2 記載のアクティブマトリクス型表示装置。

3 9 . 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 1 7 記載の
10 アクティブマトリクス型表示装置。

4 0 . 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 1 8 記載の
15 アクティブマトリクス型表示装置。

4 1 . 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 1 9 記載の
20 アクティブマトリクス型表示装置。

4 2 . 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 2 0 記載の
25 アクティブマトリクス型表示装置。

4 3 . 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 2 1 記載の
30 アクティブマトリクス型表示装置。

4 4 . 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 2 2 記載のアクティブマトリクス型表示装置。

5

4 5 . 前記スイッチング素子が 3 端子の薄膜トランジスタで構成されることを特徴とする請求項 1 7 記載のアクティブマトリクス型表示装置。

10

4 6 . 前記スイッチング素子が 3 端子の薄膜トランジスタで構成されることを特徴とする請求項 1 8 記載のアクティブマトリクス型表示装置。

15

4 7 . 前記スイッチング素子が 3 端子の薄膜トランジスタで構成されることを特徴とする請求項 1 9 記載のアクティブマトリクス型表示装置。

20

4 8 . 前記スイッチング素子が 3 端子の薄膜トランジスタで構成されることを特徴とする請求項 2 0 記載のアクティブマトリクス型表示装置。

25

4 9 . 前記スイッチング素子が 3 端子の薄膜トランジスタで構成されることを特徴とする請求項 2 1 記載のアクティブマトリクス型表示装置。

5 0 . 前記スイッチング素子が 3 端子の薄膜トランジスタで構成

されることを特徴とする請求項 2 2 記載のアクティブマトリクス型表示装置。

5 1 . 前記対向電極を前記信号線駆動回路の出力信号に同期して
5 水平走査期間の整数倍の周期で反転駆動することを特徴とする請求
項 1 7 記載のアクティブマトリクス型表示装置。

5 2 . 前記対向電極を前記信号線駆動回路の出力信号に同期して
水平走査期間の整数倍の周期で反転駆動することを特徴とする請求
10 項 1 8 記載のアクティブマトリクス型表示装置。

5 3 . 前記対向電極を前記信号線駆動回路の出力信号に同期して
水平走査期間の整数倍の周期で反転駆動することを特徴とする請求
項 1 9 記載のアクティブマトリクス型表示装置。

15

5 4 . 前記対向電極を前記信号線駆動回路の出力信号に同期して
水平走査期間の整数倍の周期で反転駆動することを特徴とする請求
項 2 0 記載のアクティブマトリクス型表示装置。

20 5 5 . 前記対向電極を前記信号線駆動回路の出力信号に同期して
水平走査期間の整数倍の周期で反転駆動することを特徴とする請求
項 2 1 記載のアクティブマトリクス型表示装置。

5 6 . 前記対向電極を前記信号線駆動回路の出力信号に同期して
25 水平走査期間の整数倍の周期で反転駆動することを特徴とする請求
項 2 2 記載のアクティブマトリクス型表示装置。

5 7 . 前記走査線駆動回路の出力を4値とし、容量結合駆動を行うことを特徴とする請求項17記載のアクティブマトリクス型表示装置。

5

5 8 . 前記走査線駆動回路の出力を4値とし、容量結合駆動を行うことを特徴とする請求項18記載のアクティブマトリクス型表示装置。

10

5 9 . 前記走査線駆動回路の出力を4値とし、容量結合駆動を行うことを特徴とする請求項19記載のアクティブマトリクス型表示装置。

15

6 0 . 前記走査線駆動回路の出力を4値とし、容量結合駆動を行うことを特徴とする請求項20記載のアクティブマトリクス型表示装置。

20

6 1 . 前記走査線駆動回路の出力を4値とし、容量結合駆動を行うことを特徴とする請求項21記載のアクティブマトリクス型表示装置。

25

6 2 . 前記走査線駆動回路の出力を4値とし、容量結合駆動を行うことを特徴とする請求項22記載のアクティブマトリクス型表示装置。

6 3 . 前記走査線駆動回路の出力を2値とし、前記蓄積容量を2

値で独立に駆動することにより容量結合駆動を行うことを特徴とする請求項 1 7 記載のアクティブマトリクス型表示装置。

6 4 . 前記走査線駆動回路の出力を 2 値とし、前記蓄積容量を 2 値で独立に駆動することにより容量結合駆動を行うことを特徴とする請求項 1 8 記載のアクティブマトリクス型表示装置。

6 5 . 前記走査線駆動回路の出力を 2 値とし、前記蓄積容量を 2 値で独立に駆動することにより容量結合駆動を行うことを特徴とする請求項 1 9 記載のアクティブマトリクス型表示装置。

6 6 . 前記走査線駆動回路の出力を 2 値とし、前記蓄積容量を 2 値で独立に駆動することにより容量結合駆動を行うことを特徴とする請求項 2 0 記載のアクティブマトリクス型表示装置。

15

6 7 . 前記走査線駆動回路の出力を 2 値とし、前記蓄積容量を 2 値で独立に駆動することにより容量結合駆動を行うことを特徴とする請求項 2 1 記載のアクティブマトリクス型表示装置。

20 6 8 . 前記走査線駆動回路の出力を 2 値とし、前記蓄積容量を 2 値で独立に駆動することにより容量結合駆動を行うことを特徴とする請求項 2 2 記載のアクティブマトリクス型表示装置。

6 9 . マトリクス状に配置された複数の信号線と複数の走査線の各交点に対応して第 1 のスイッチング素子、前記第 1 のスイッチング素子に接続された第 2 のスイッチング素子、前記第 2 のスイッチ

ング素子に接続された画素電極および前記第2のスイッチング素子に前記画素電極と異なる側に接続された電源供給線が形成された第1の基板と、前記第1の基板と発光層を介して対峙する対向電極が形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置において、

表示階調数よりも少ない複数の電圧レベルを予め準備しておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記信号線を介して出力する信号線駆動回路と、

10 前記複数の走査線のうち予め定めた1つの走査線に関する各サブフレーム毎の保持期間に、前記予め定めた1つの走査線以外の残余の走査線を、同一走査線に関して同一のサブフレームを書き込まないように予め定めた順序に従ってランダム走査する走査線駆動回路と、

15 を有し、

1フレーム期間全体としてみると、各走査線それぞれにおいて、実質的に前記複数のサブフレーム毎の書き込みが行われ、各サブフレーム毎の保持期間が確保されて階調表示駆動が行われることを特徴とするアクティブマトリックス型表示装置。

20

70. マトリクス状に配置された複数の信号線と複数の走査線の各交点に対応して第1のスイッチング素子、前記第1のスイッチング素子に接続された第2のスイッチング素子、前記第2のスイッチング素子に接続された画素電極および前記第2のスイッチング素子に前記画素電極と異なる側に接続された電源供給線が形成された第1の基板と、前記第1の基板と発光層を介して対峙する対向電極が

形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレーム $SF1, SF2, \dots, SFn$ (n は自然数) で構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置において、

- 5 表示階調数よりも少ない複数の電圧レベルを予め準備しておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記信号線を介して出力する信号線駆動回路と、
前記サブフレーム期間の選択順序が $SF1 \rightarrow SF2 \rightarrow \dots \rightarrow SFn \rightarrow SF1 \rightarrow SF2 \rightarrow \dots \rightarrow SFn$ と循環するように前記走査線を選択する走査線駆動回路と、

を有することを特徴とするアクティブマトリックス型表示装置。

7 1. マトリクス状に配置された複数の信号線と複数の走査線の各交点に対応して第1のスイッチング素子、前記第1のスイッチング素子に接続された第2のスイッチング素子、前記第2のスイッチング素子に接続された画素電極および前記第2のスイッチング素子に前記画素電極と異なる側に接続された電源供給線が形成された第1の基板と、前記第1の基板と発光層を介して対峙する対向電極が

- 形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレーム $SF1, SF2, \dots, SFn$ (n は自然数) で構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリックス型表示装置において、

- 表示階調数よりも少ない複数の電圧レベルを予め準備しておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記信号線を介して出力する信号線駆動回路と、
25 前記サブフレーム期間の選択順序が $SF1 \rightarrow SF2 \rightarrow \dots \rightarrow S$

$F_n \rightarrow S F_1 \rightarrow S F_2 \rightarrow \dots \rightarrow S F_n$ と循環し、かつ1つの前記サブフレーム期間について見れば順次走査となるように前記走査線を選択する走査線駆動回路と、

を有することを特徴とするアクティブマトリクス型表示装置。

5

72. マトリクス状に配置された複数の信号線と複数の走査線の各交点に対応して第1のスイッチング素子、前記第1のスイッチング素子に接続された第2のスイッチング素子、前記第2のスイッチング素子に接続された画素電極および前記第2のスイッチング素子

10 に前記画素電極と異なる側に接続された電源供給線が形成された第1の基板と、前記第1の基板と発光層を介して対峙する対向電極が形成された第2の基板とを備え、1フレームを書き込み期間と保持期間からなる複数のサブフレームで構成し、前記保持期間の累積効果で階調表示を行うアクティブマトリクス型表示装置において、

15 表示階調数よりも少ない複数の電圧レベルを予め準備しておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択して前記信号線を介して出力する信号線駆動回路と、サブフレーム数をN、水平走査期間をH、保持期間の重み付けを

1 : 2 : 4 : \dots : $2^{(N-1)}$ の(N-1)乗、走査線数をL、正の整数
20 をKとしたとき、前記フレーム期間を $NH(1 + K(2^{(N-1)} - 1)) = NHL$ となるように、前記走査線を選択する走査線駆動回路と、を有することを特徴とするアクティブマトリクス型表示装置。

73. マトリクス状に配置された複数の信号線と複数の走査線の
25 各交点に対応して第1のスイッチング素子、前記第1のスイッチング素子に接続された第2のスイッチング素子、前記第2のスイッチ

ング素子に接続された画素電極および前記第 2 のスイッチング素子
 に前記画素電極と異なる側に接続された電源供給線が形成された第
 1 の基板と、前記第 1 の基板と発光層を介して対峙する対向電極が
 形成された第 2 の基板とを備え、1 フレームを書き込み期間と保持
 5 期間からなる複数のサブフレームで構成し、前記保持期間の累積効
 果で階調表示を行うアクティブマトリックス型表示装置において、

表示階調数よりも少ない複数の電圧レベルを予め準備しておき、
 デジタル画像データに応じて、前記複数の電圧レベルのうちのいず
 れかの値を選択して前記信号線を介して出力する信号線駆動回路と、

10 サブフレーム数を N 、水平走査期間を H 、 i 番目のサブフレーム
 期間における保持期間の重み付けを $K(i)$ (但し、 $i=1, 2, \dots$,
 N とする)、走査線数を L としたとき、前記フレーム期間を $NH(1$
 $+ \sum K(i)) = NHL$ となるように、前記走査線を選択する走査線
 駆動回路と、

15 を有することを特徴とするアクティブマトリックス型表示装置。

74. マトリクス状に配置された複数の信号線と複数の走査線の
 各交点に対応して第 1 のスイッチング素子、前記第 1 のスイッチ
 ング素子に接続された第 2 のスイッチング素子、前記第 2 のスイッ

20 ング素子に接続された画素電極および前記第 2 のスイッチング素子
 に前記画素電極と異なる側に接続された電源供給線が形成された第
 1 の基板と、前記第 1 の基板と発光層を介して対峙する対向電極が
 形成された第 2 の基板とを備え、1 フレームを書き込み期間と保持
 期間からなる複数のサブフレームで構成し、前記保持期間の累積効
 25 果で階調表示を行うアクティブマトリックス型表示装置において、

表示階調数よりも少なく且つ 3 以上の複数の電圧レベルを予め準

備しておき、デジタル画像データに応じて、前記複数の電圧レベルのうちのいずれかの値を選択し、しかも1つの階調に対して前記1フレーム期間にとり得る前記電圧レベルの自由度を2とするような選択を行い、この選択された電圧値を前記信号線を介して出力する

5 信号線駆動回路と、

前記走査線を順次走査又はランダム走査する走査線駆動回路と、
を有することを特徴とするアクティブマトリクス型表示装置。

75. 前記複数の電圧レベルを2値とすることを特徴とする請求
10 項69記載のアクティブマトリクス型表示装置。

76. 前記複数の電圧レベルを2値とすることを特徴とする請求
項70記載のアクティブマトリクス型表示装置。

15 77. 前記複数の電圧レベルを2値とすることを特徴とする請求
項71記載のアクティブマトリクス型表示装置。

78. 前記複数の電圧レベルを2値とすることを特徴とする請求
項72記載のアクティブマトリクス型表示装置。

20

79. 前記複数の電圧レベルを2値とすることを特徴とする請求
項73記載のアクティブマトリクス型表示装置。

80. 前記複数の電圧レベルを3以上の複数值とすることを特徴
25 とする請求項69記載のアクティブマトリクス型表示装置。

8 1 . 前記複数の電圧レベルを 3 以上の複数值とすることを特徴とする請求項 7 0 記載のアクティブマトリクス型表示装置。

8 2 . 前記複数の電圧レベルを 3 以上の複数值とすることを特徴とする請求項 7 1 記載のアクティブマトリクス型表示装置。

8 3 . 前記複数の電圧レベルを 3 以上の複数值とすることを特徴とする請求項 7 2 記載のアクティブマトリクス型表示装置。

10 8 4 . 前記複数の電圧レベルを 3 以上の複数值とすることを特徴とする請求項 7 3 記載のアクティブマトリクス型表示装置。

8 5 . 前記信号線駆動回路が複数の前記電圧レベルから 1 値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項 6 9 記載のアクティブマトリクス型表示装置。

8 6 . 前記信号線駆動回路が複数の前記電圧レベルから 1 値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項 7 0 記載のアクティブマトリクス型表示装置。

20

8 7 . 前記信号線駆動回路が複数の前記電圧レベルから 1 値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項 7 1 記載のアクティブマトリクス型表示装置。

25

8 8 . 前記信号線駆動回路が複数の前記電圧レベルから 1 値を選択して出力するアナログマルチプレクサを含むことを特徴とする請

求項 7 2 記載のアクティブマトリクス型表示装置。

8 9 . 前記信号線駆動回路が複数の前記電圧レベルから 1 値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項 7 3 記載のアクティブマトリクス型表示装置。

9 0 . 前記信号線駆動回路が複数の前記電圧レベルから 1 値を選択して出力するアナログマルチプレクサを含むことを特徴とする請求項 7 4 記載のアクティブマトリクス型表示装置。

10

9 1 . 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 6 9 記載のアクティブマトリクス型表示装置。

15

9 2 . 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 7 0 記載のアクティブマトリクス型表示装置。

9 3 . 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 7 1 記載のアクティブマトリクス型表示装置。

9 4 . 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 7 2 記載のアクティブマトリクス型表示装置。

9 5 . 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 7 3 記載のアクティブマトリクス型表示装置。

5 9 6 . 前記走査線駆動回路が入力されるアドレス信号に従って走査線を選択するデコーダを含むことを特徴とする請求項 7 4 記載のアクティブマトリクス型表示装置。

9 7 . 前記第 1 及び第 2 のスイッチング素子が 3 端子の薄膜トランジスタで構成されることを特徴とする請求項 6 9 記載のアクティブマトリクス型表示装置。

9 8 . 前記第 1 及び第 2 のスイッチング素子が 3 端子の薄膜トランジスタで構成されることを特徴とする請求項 7 0 記載のアクティブマトリクス型表示装置。

9 9 . 前記第 1 及び第 2 のスイッチング素子が 3 端子の薄膜トランジスタで構成されることを特徴とする請求項 7 1 記載のアクティブマトリクス型表示装置。

20

1 0 0 . 前記第 1 及び第 2 のスイッチング素子が 3 端子の薄膜トランジスタで構成されることを特徴とする請求項 7 2 記載のアクティブマトリクス型表示装置。

25 1 0 1 . 前記第 1 及び第 2 のスイッチング素子が 3 端子の薄膜トランジスタで構成されることを特徴とする請求項 7 3 記載のアクテ

イブマトリクス型表示装置。

102. 前記第1及び第2のスイッチング素子が3端子の薄膜トランジスタで構成されることを特徴とする請求項74記載のアクティブマトリクス型表示装置。

10

15

20

25

図1

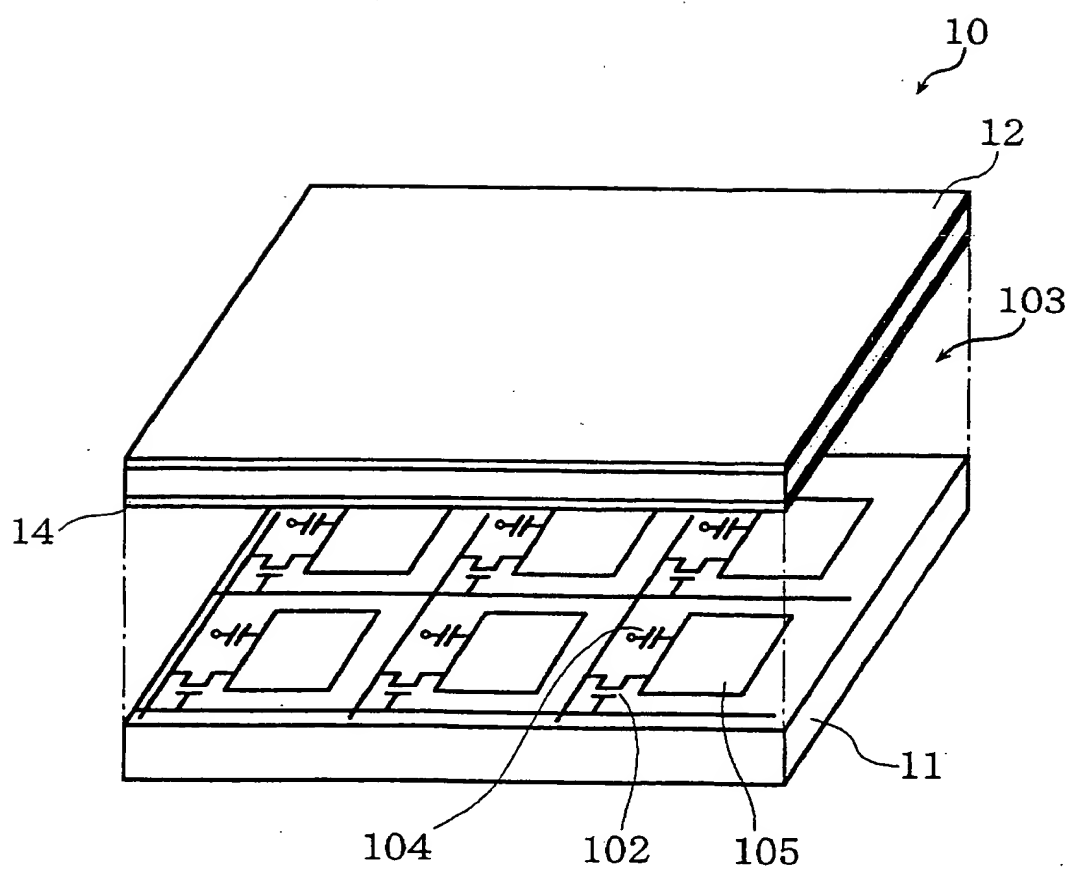


図2

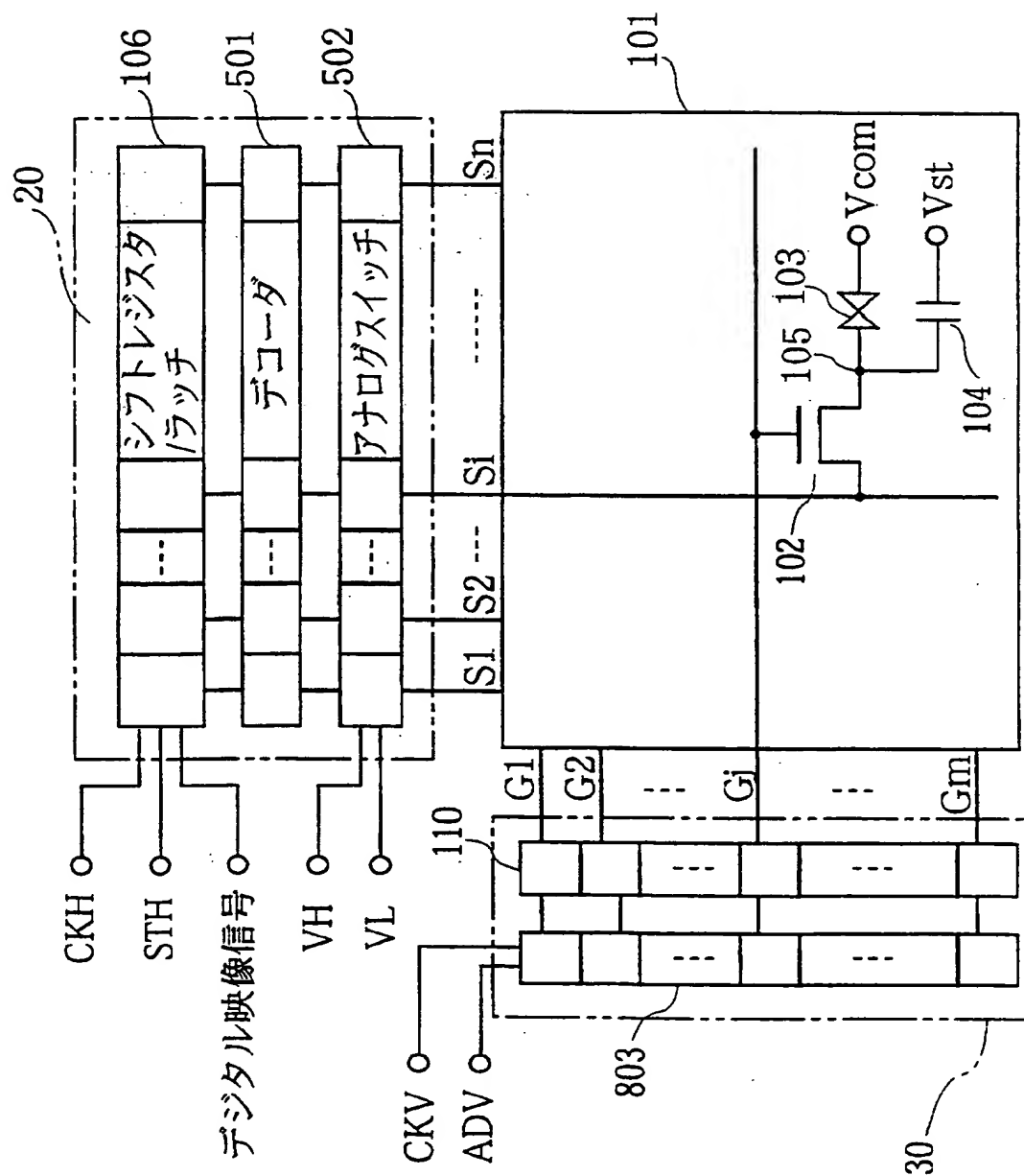


図3

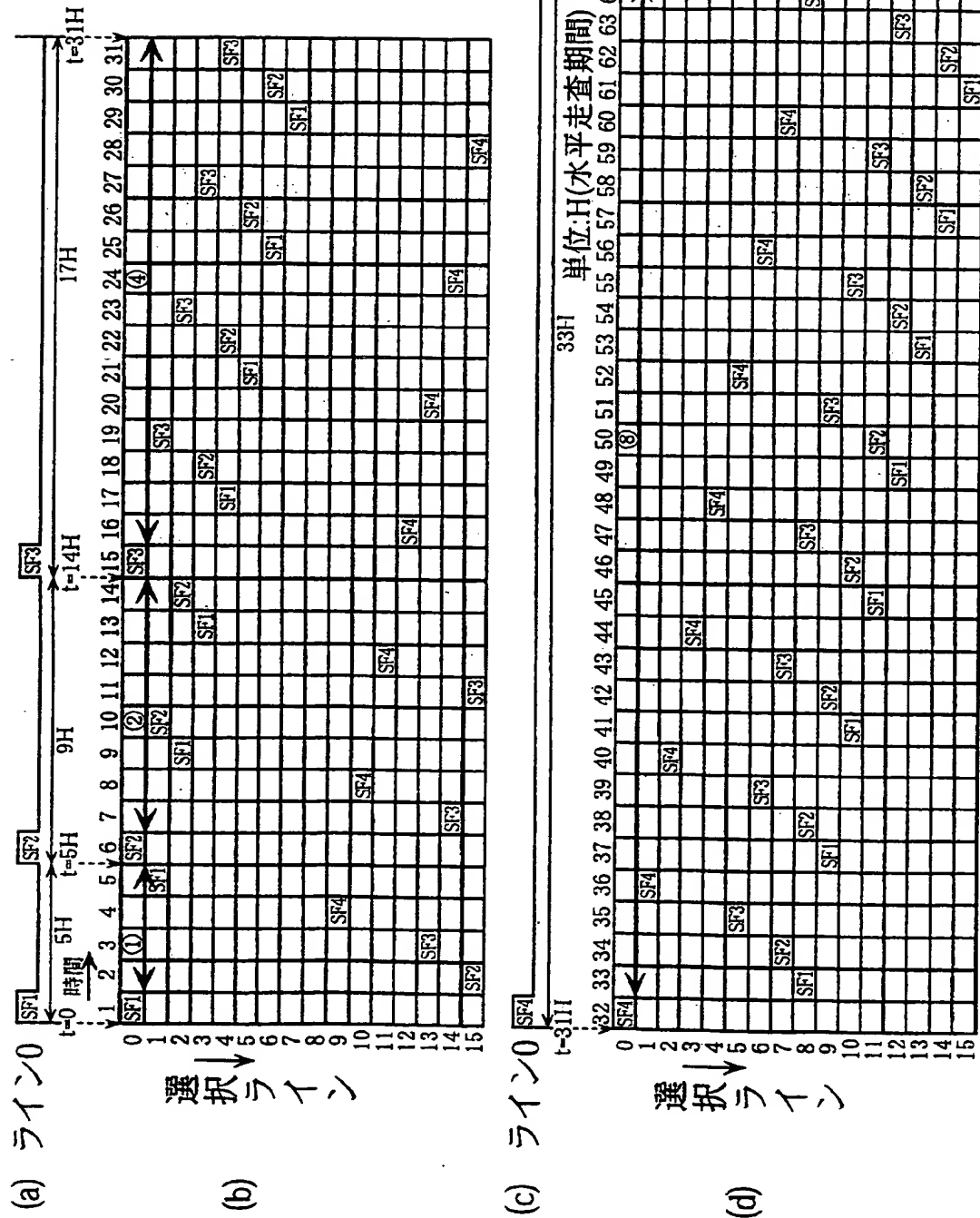


図 4

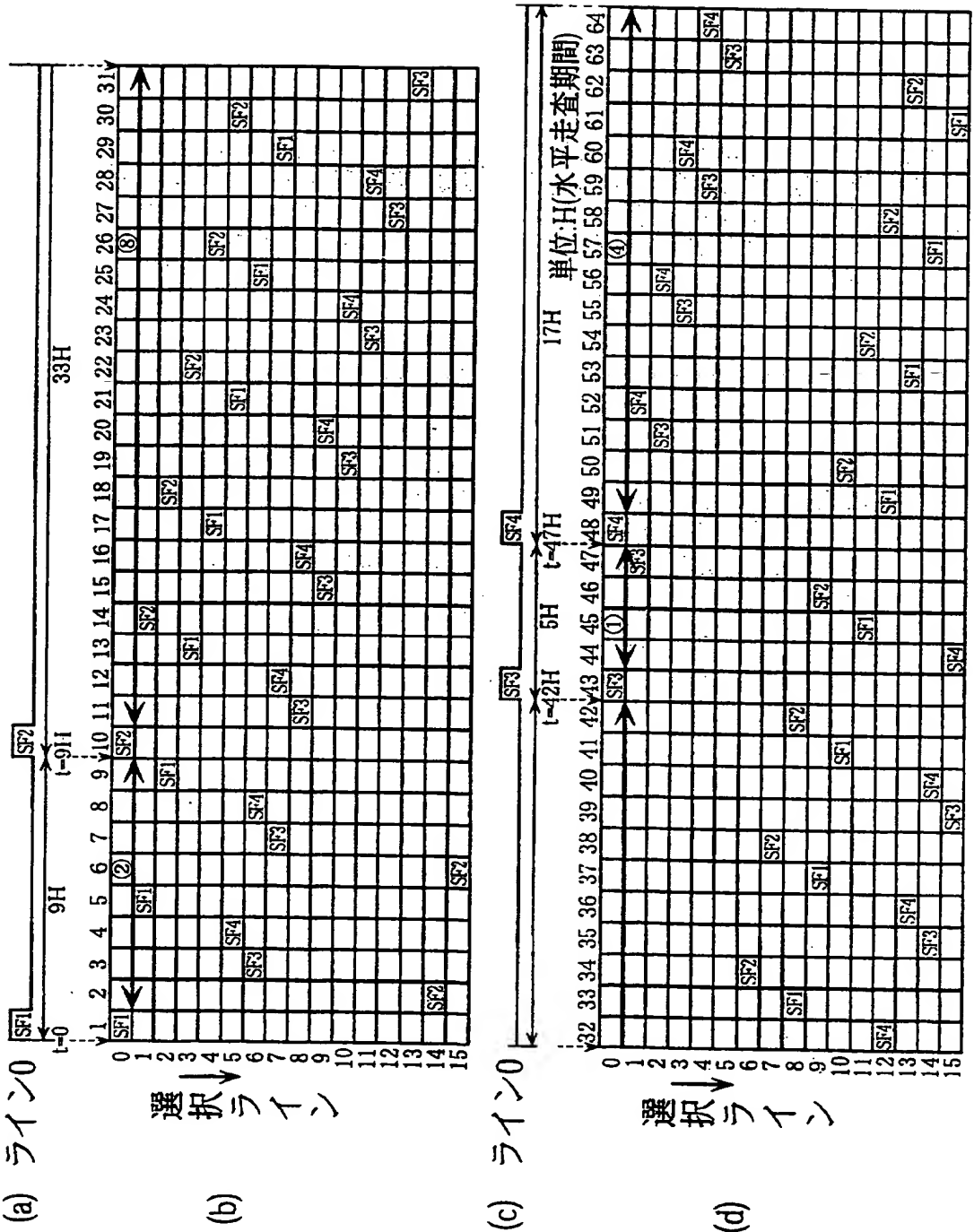


図5

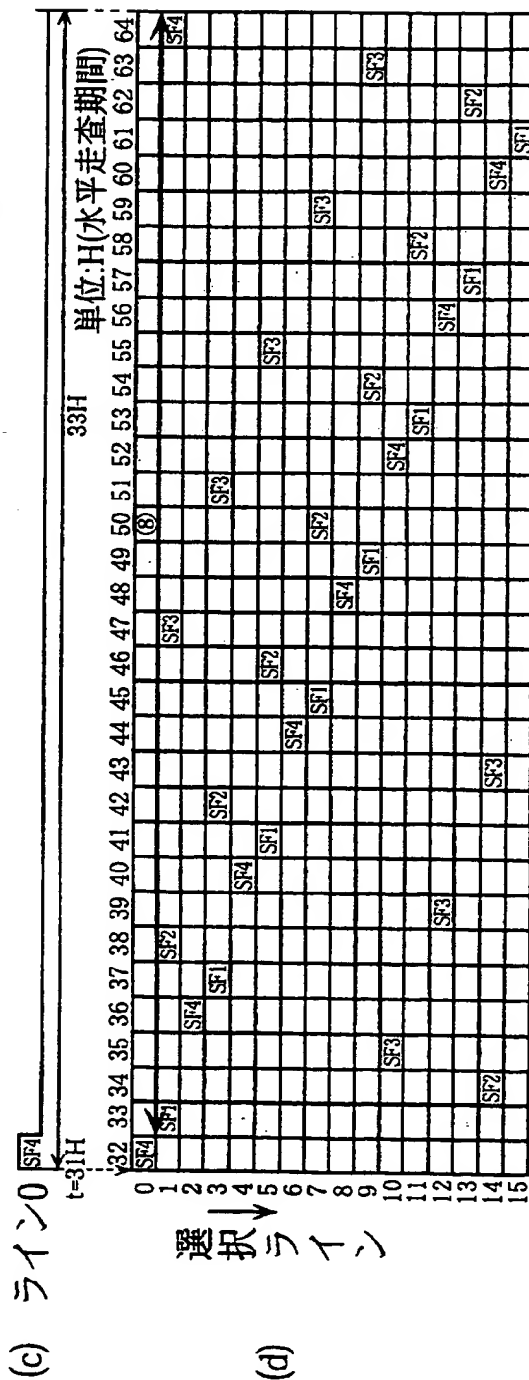
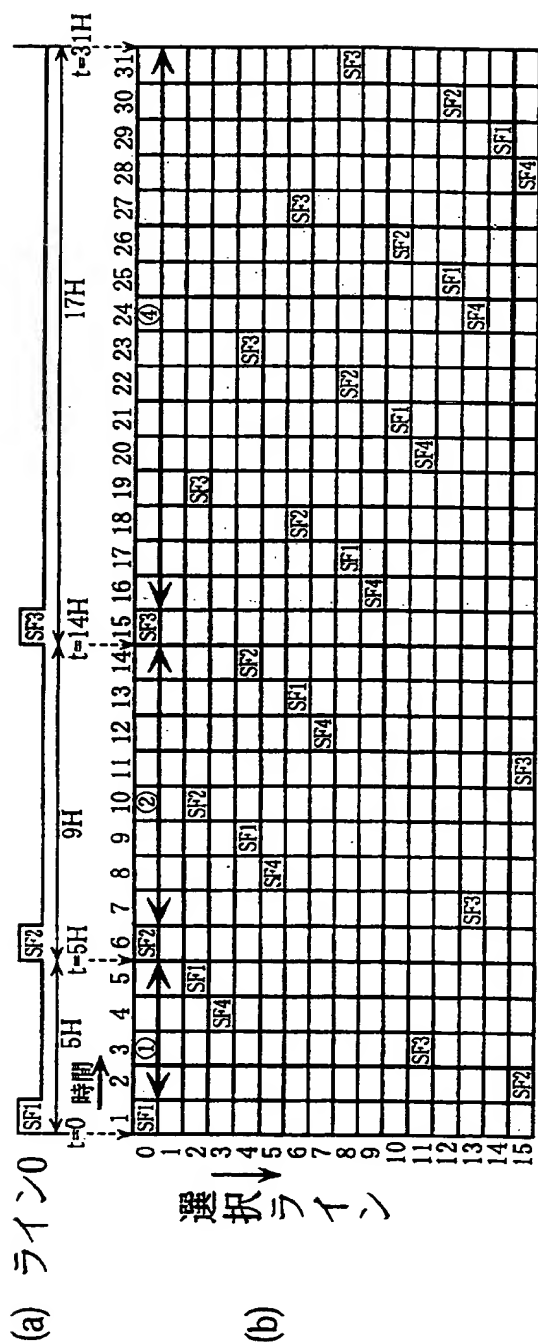


Figure 6 shows a schematic diagram of a rectangular structure. It consists of a central vertical line segment. From the top and bottom of this central segment, horizontal lines extend outwards to the left and right. The horizontal lines are labeled with the letter 'a' at their outer ends. The vertical line is labeled with the letter 'b' at its top and bottom ends. The entire structure is enclosed within a rectangular frame.

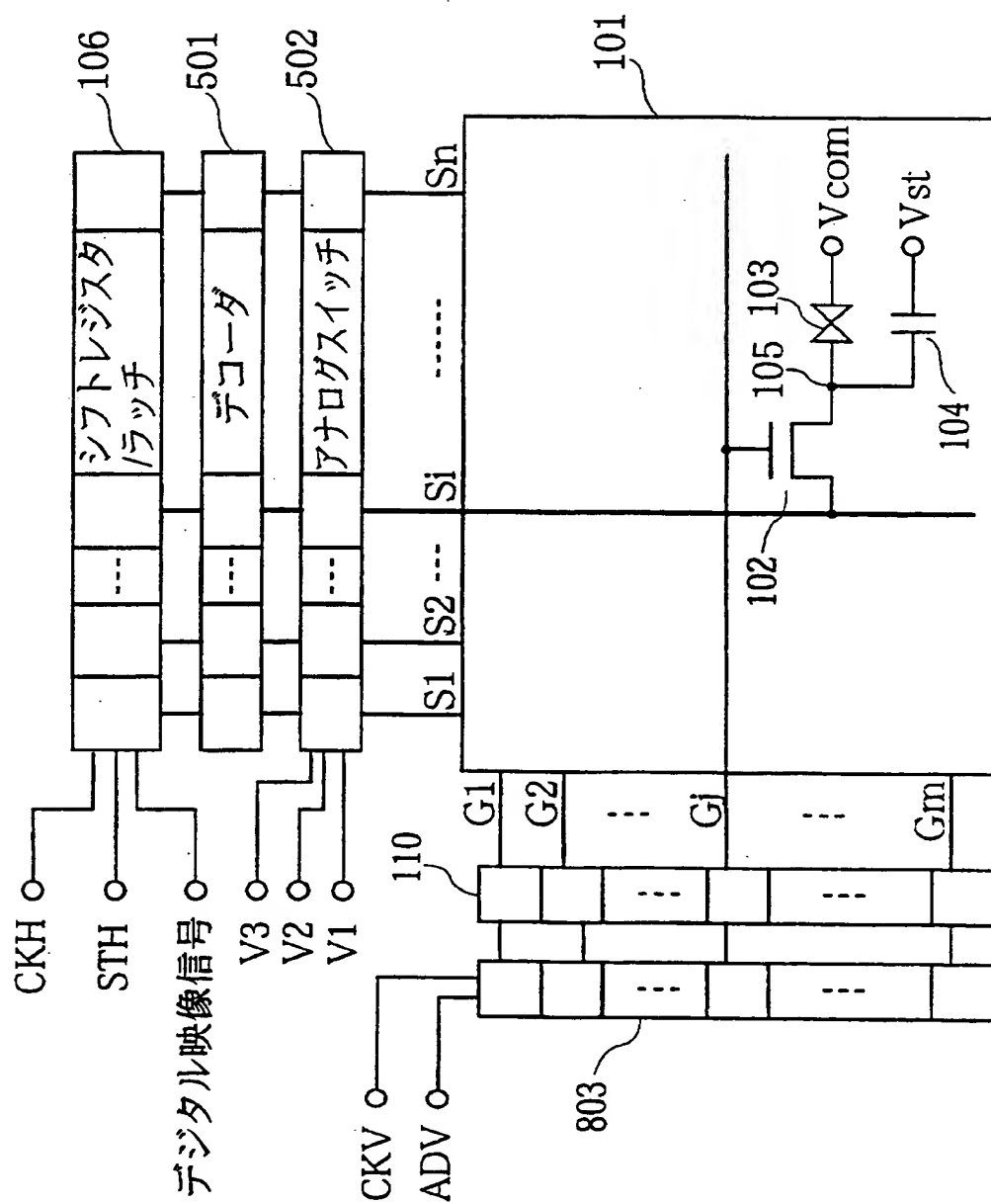


図7

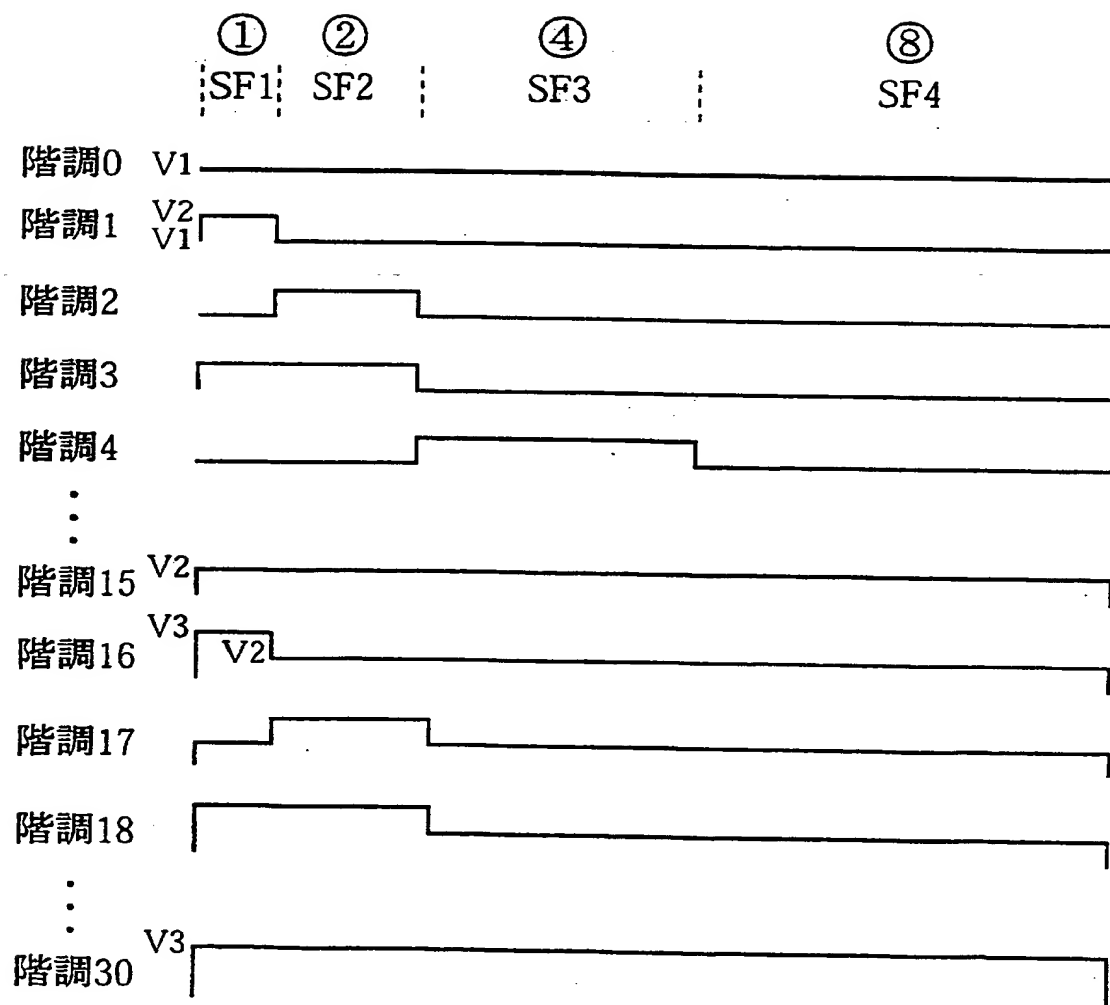


図8

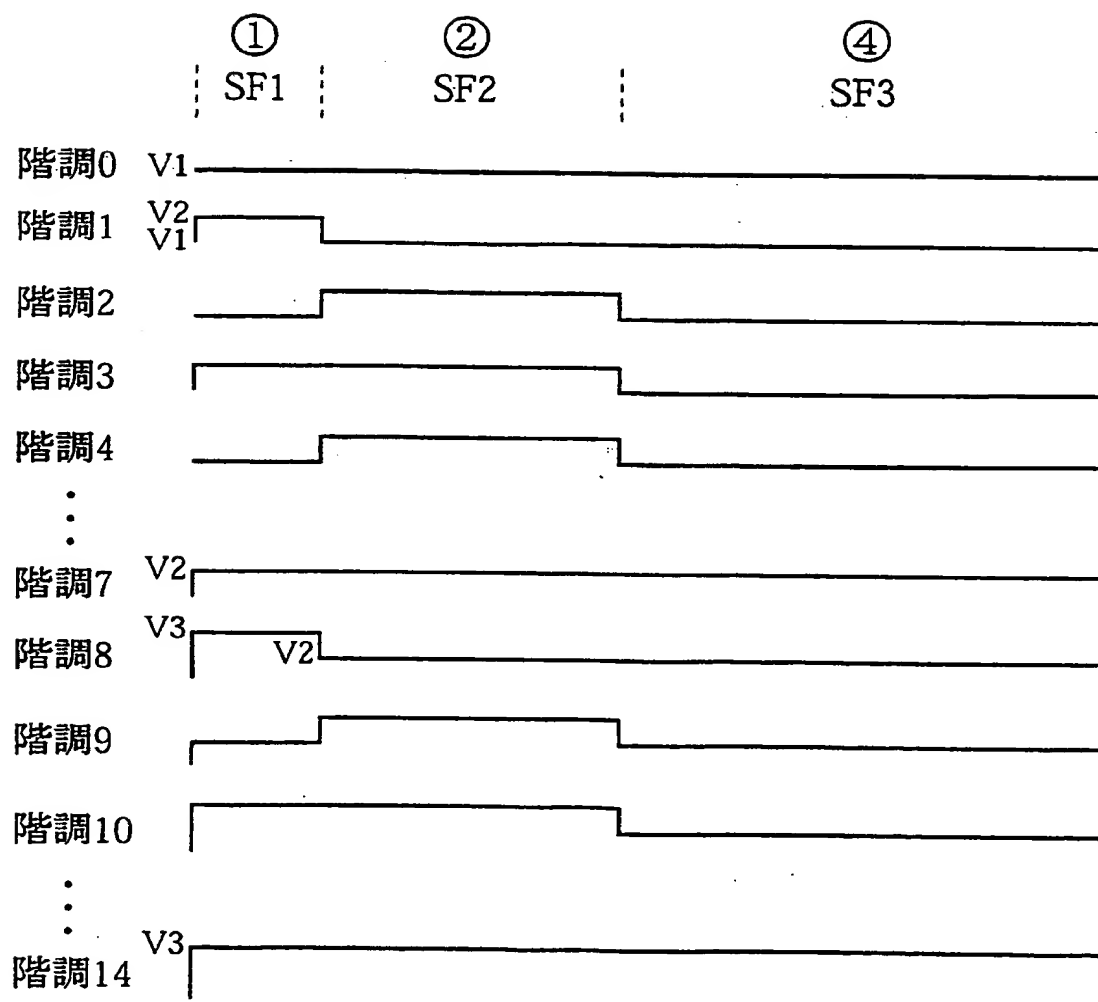


図9

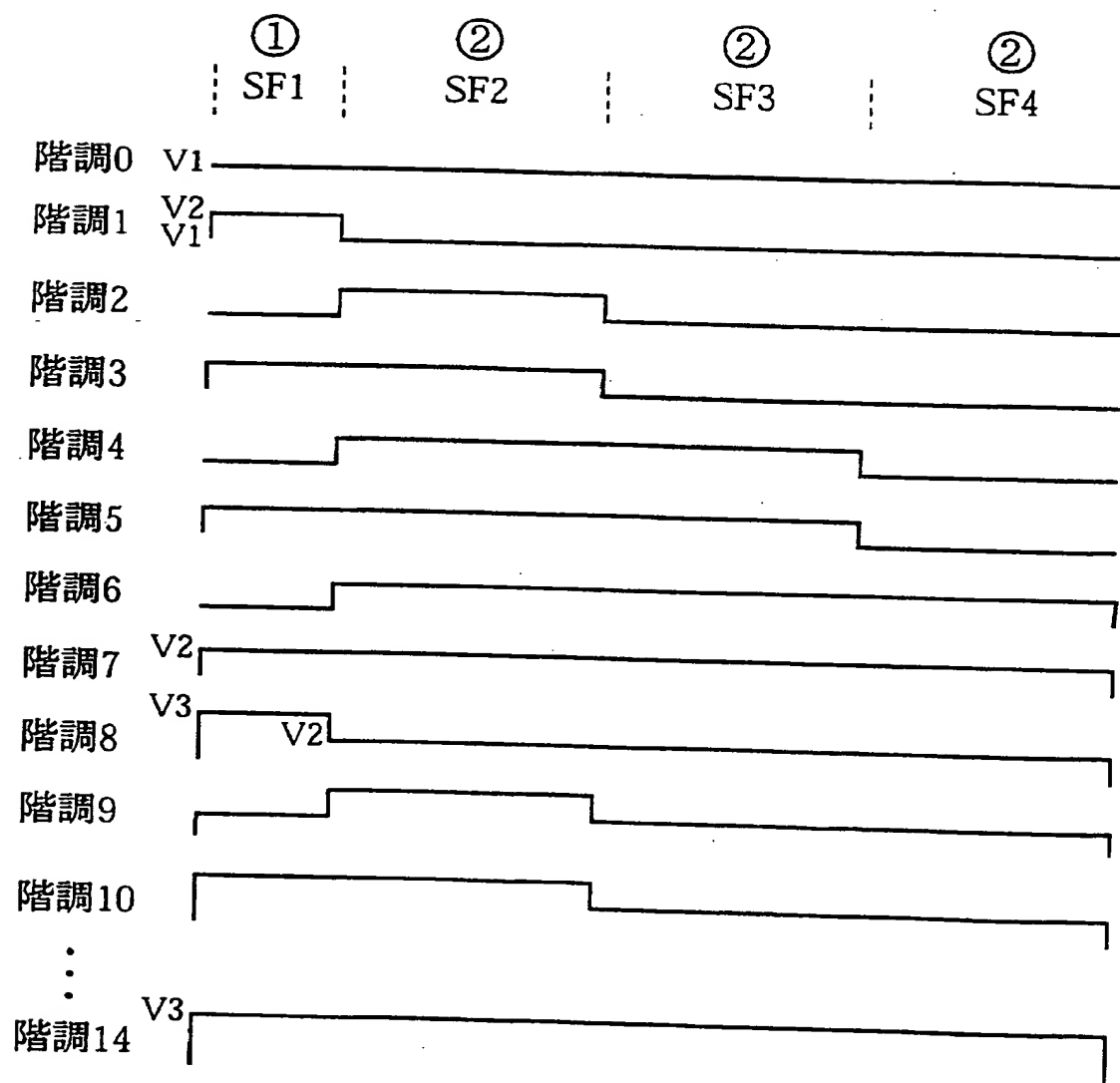


図10

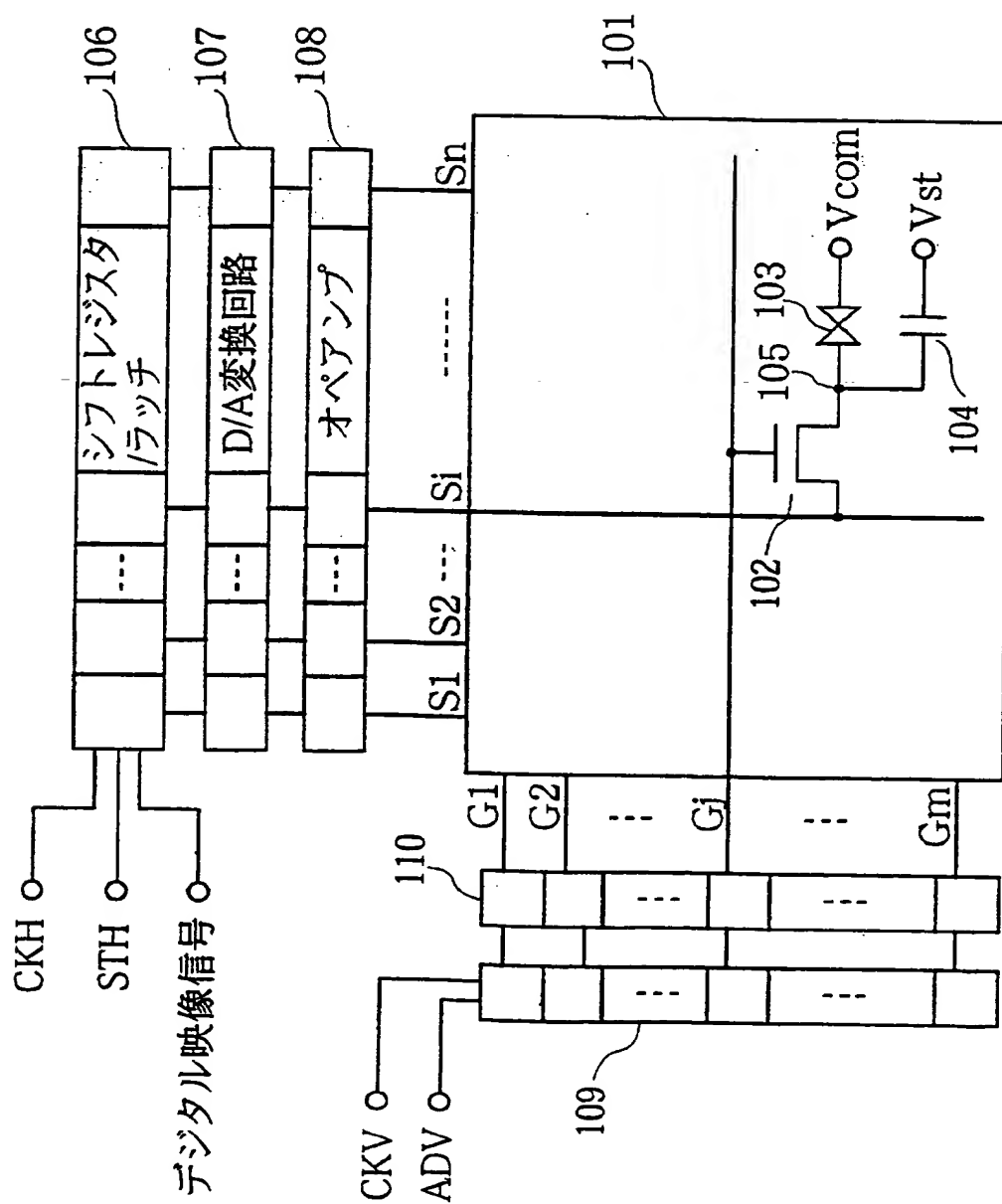


図11

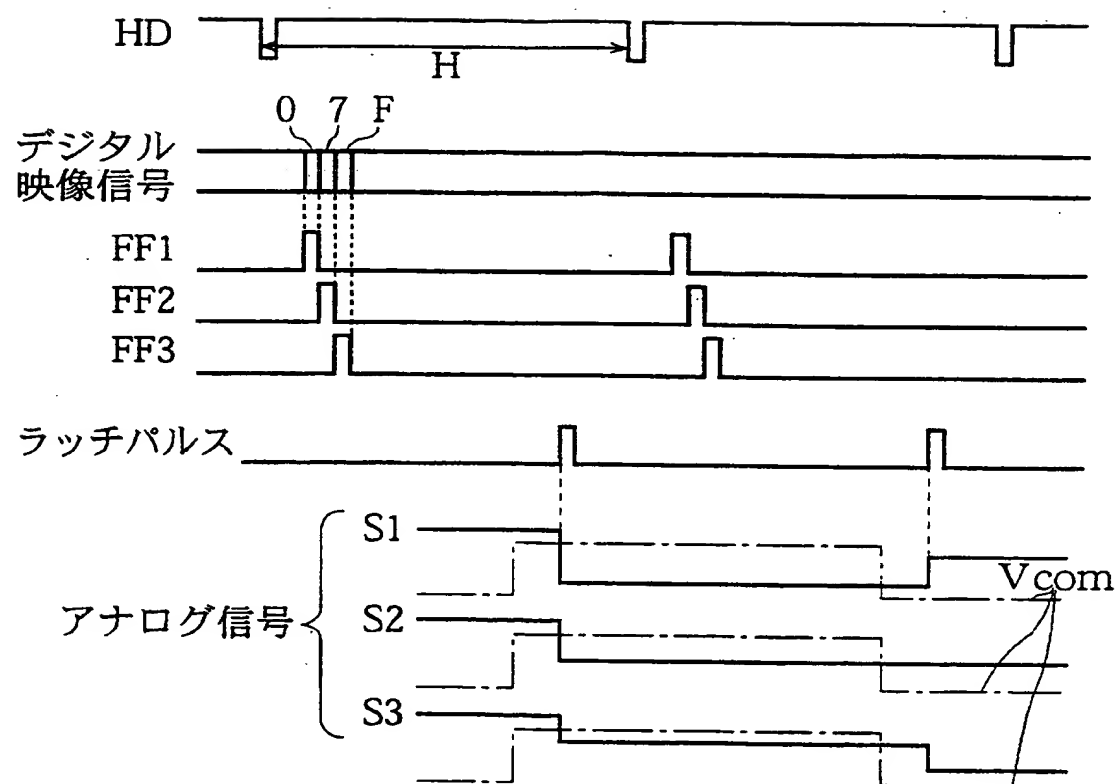


図12

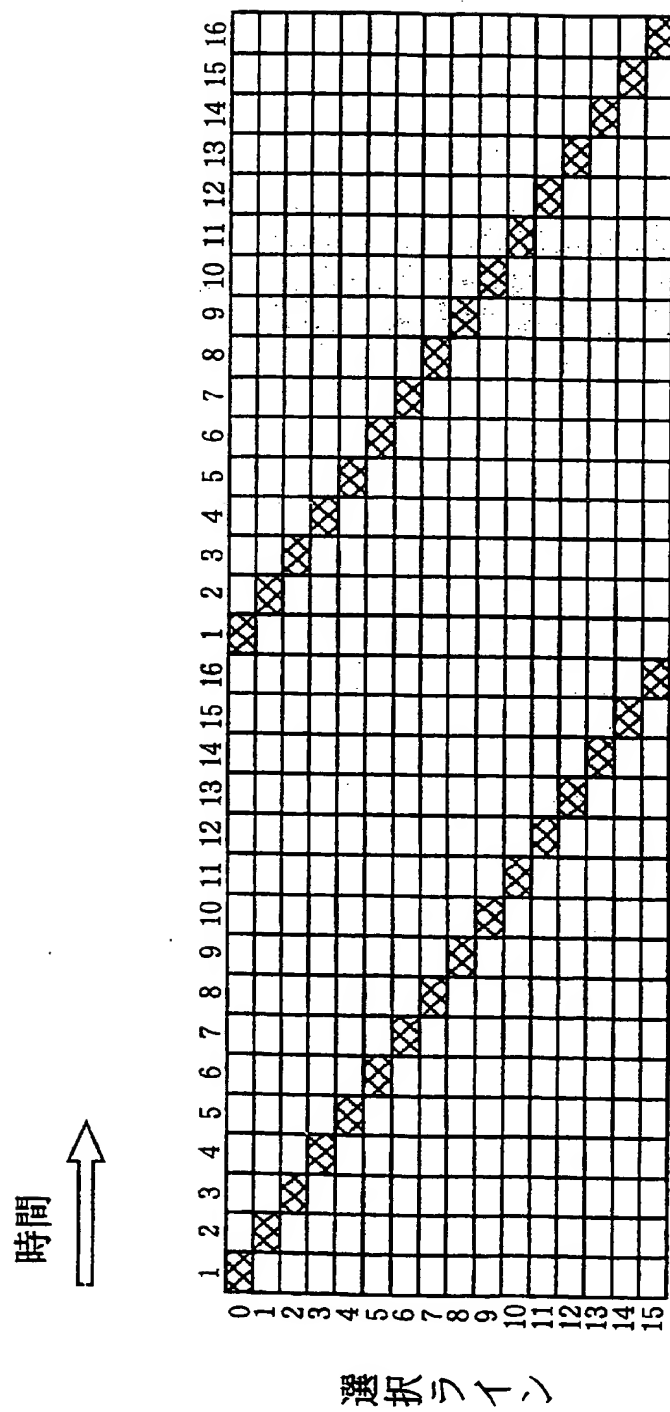


図14

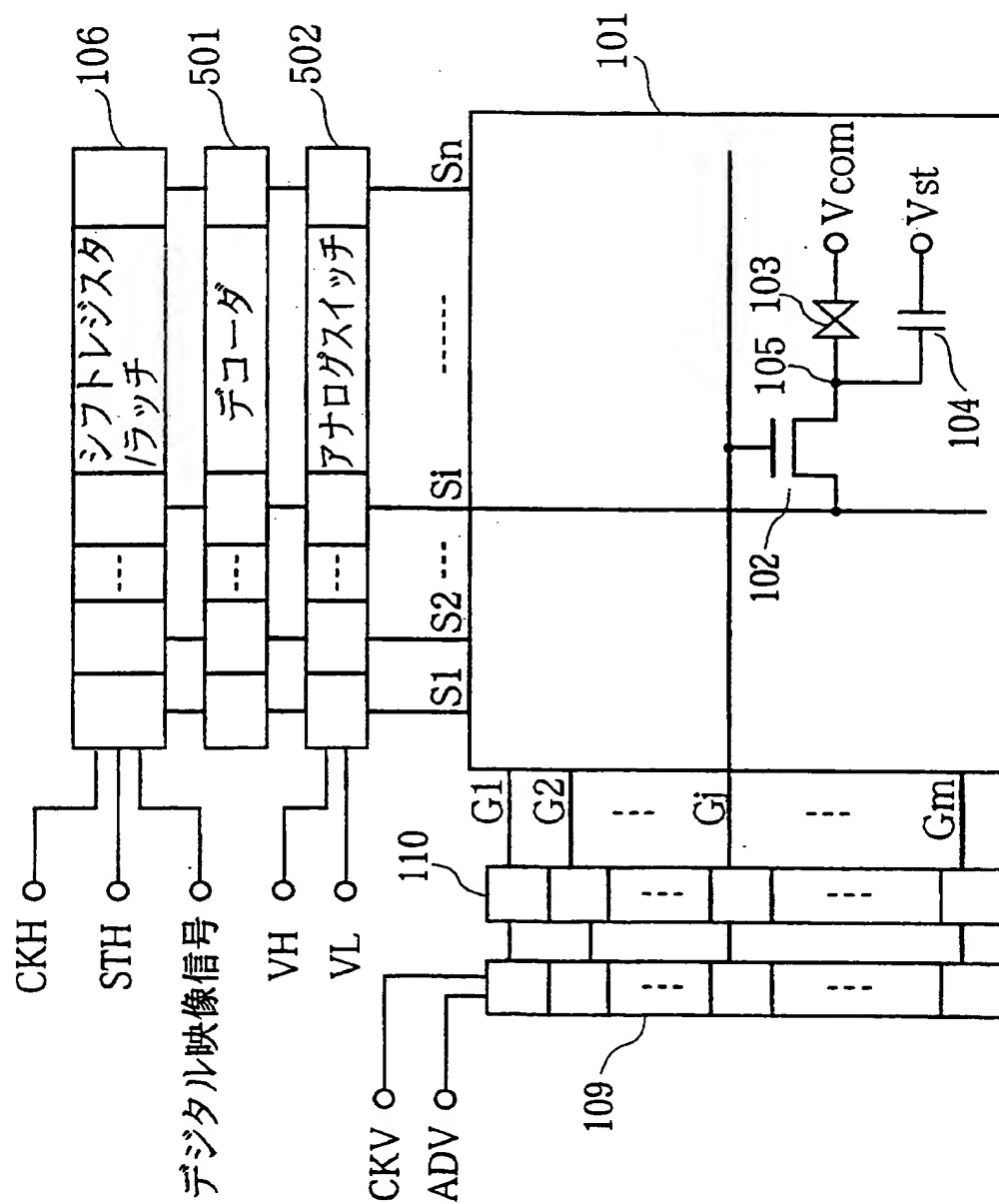


図15

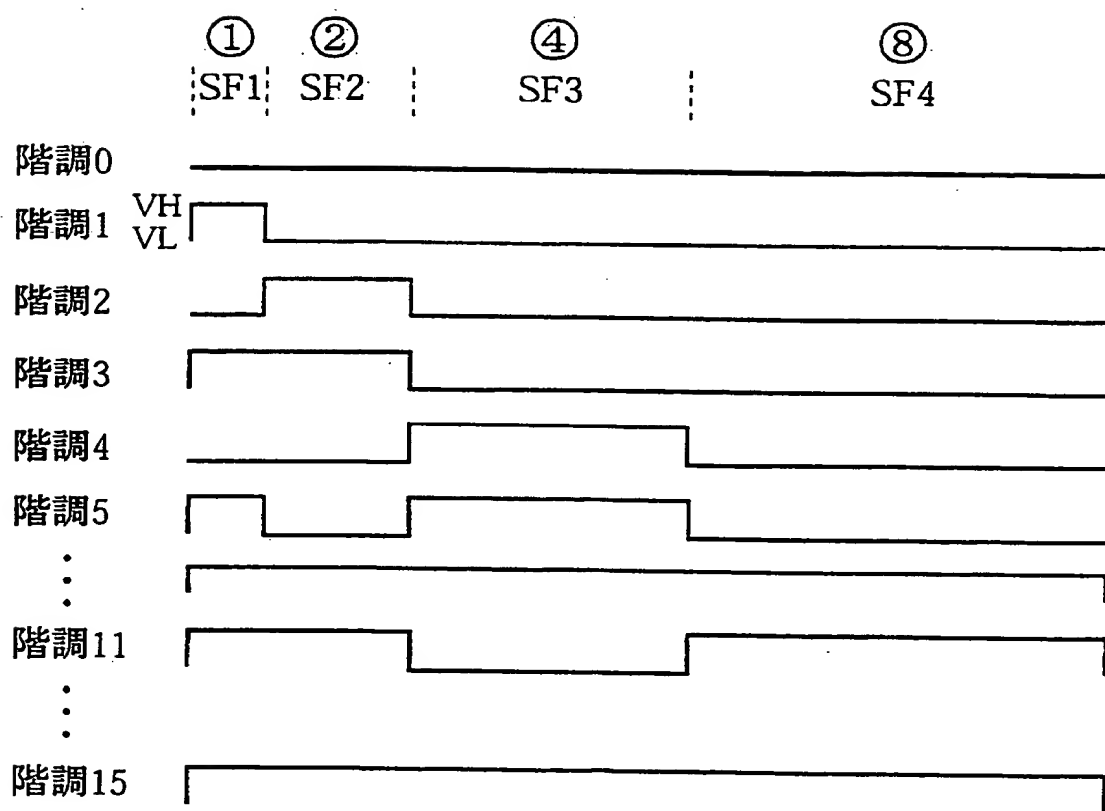
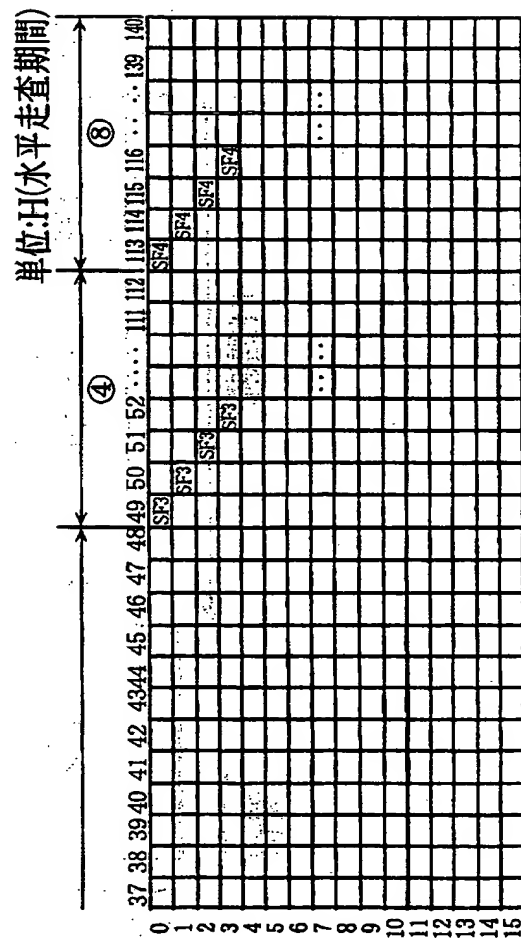
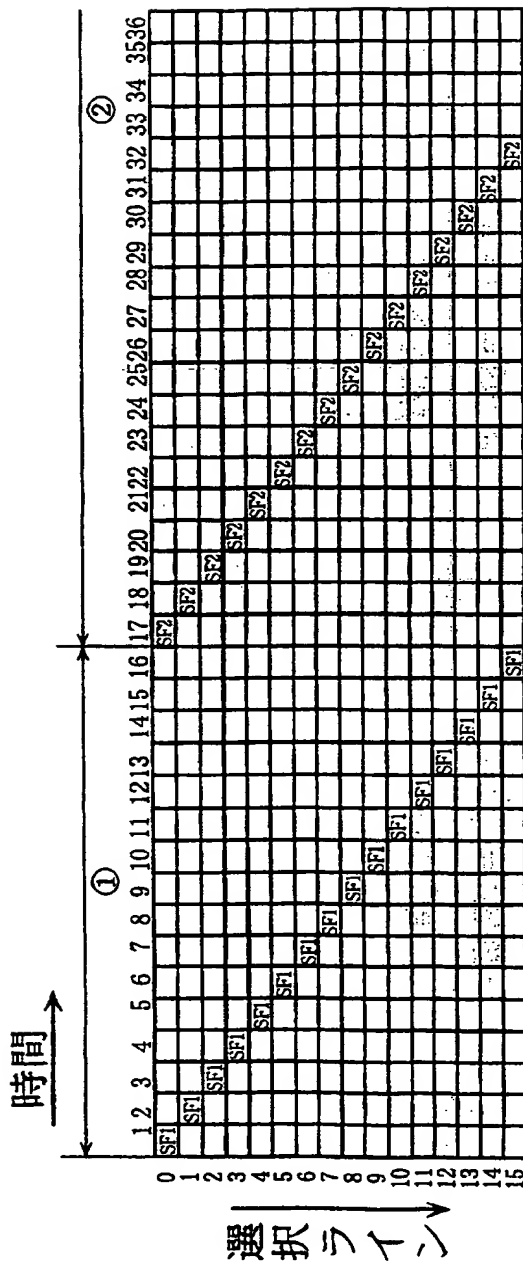


図16



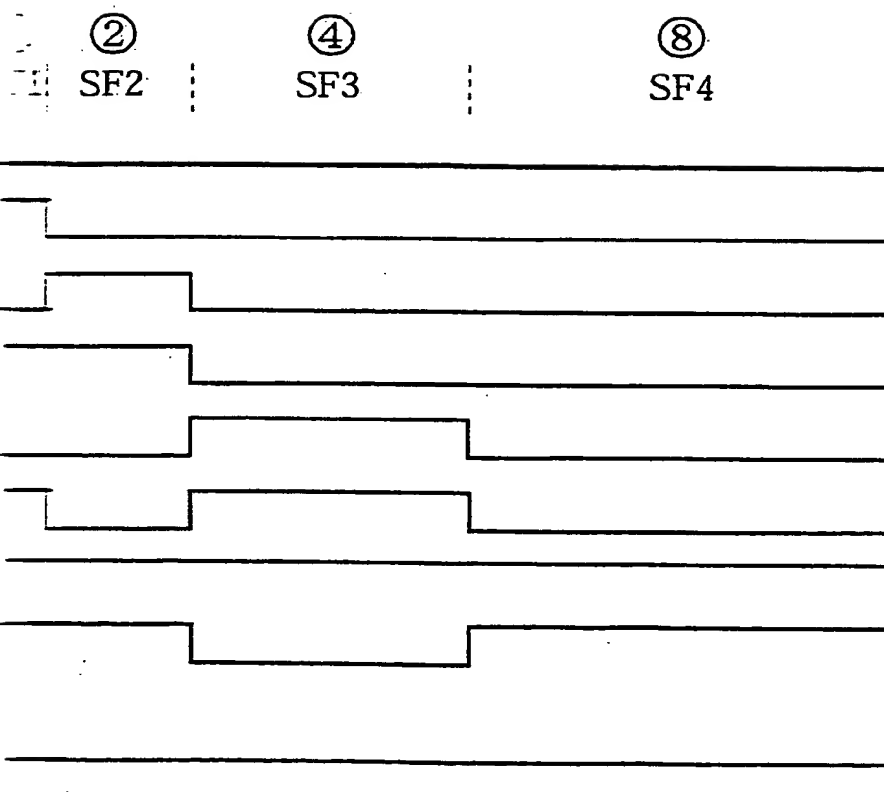


図17

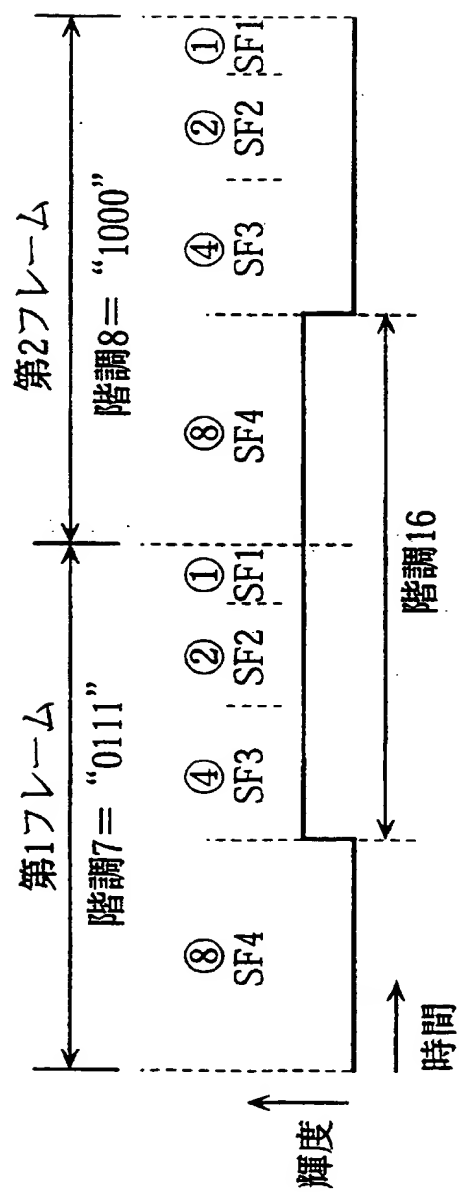


図18



国際調査報告

(法8条、法施行規則第40、41条)
〔PCT18条、PCT規則43、44〕

出願人又は代理人 の書類記号 P 2 4 5 1 1 - P 0	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP01/00182	国際出願日 (日.月.年) 15.01.01	優先日 (日.月.年) 14.01.00
出願人(氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 3 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 3 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. G09G3/20, G09G3/30, G09G3/36, G02F1/133

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. G09G3/20, G09G3/30, G09G3/36, G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1940-1996年
 日本国公開実用新案公報 1971-2001年
 日本国登録実用新案公報 1994-2001年
 日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP, 07-168159, A (キャノン株式会社) 4. 7月. 1995 (04. 07. 95) 全文, 第7図 (ファミリーなし)	1 2-102
Y A	JP, 11-38928, A (シャープ株式会社) 12. 2月. 1999 (12. 02. 99) 全文, 第18図 & GB, 2327798, A	1 2-102

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技术水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

20. 04. 01

国際調査報告の発送日

01.05.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号 100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

村田 尚 英 印

2G

8117

電話番号 03-3581-1101 内線 6231

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP, 11-327491, A (松下電器産業株式会社) 26. 11月. 1999 (26. 11. 99) 全文, 第18図 (ファミリーなし)	1 2-102
A	JP, 11-296131, A (富士電機株式会社) 29. 10月. 1999 (29. 10. 99) 全文, 第1-14図 & GB, 2336459, A	1-102
A	JP, 9-83911, A (株式会社日立製作所) 28. 3月. 1997 (28. 03. 97) 全文, 第2図 & US, 6100939, A & CA, 2185592, A & KR, 97019539, A	1-102

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00182

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ G09G3/20, G09G3/30, G09G3/36, G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G09G3/20, G09G3/30, G09G3/36, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1940-1996 Toroku Jitsuyo Shinan Koho 1994-2001
 Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 07-168159, A (Canon Inc.), 04 July, 1995 (04.07.95), Full text; Fig. 7 (Family: none)	1 2-102
Y A	JP, 11-38928, A (Sharp Corporation), 12 February, 1999 (12.02.99), Full text; Fig. 18 & GB, 2327798, A	1 2-102
Y A	JP, 11-327491, A (Matsushita Electric Ind. Co., Ltd.), 26 November, 1999 (26.11.99), Full text; Fig. 18 (Family: none)	1 2-102
A	JP, 11-296131, A (Fuji Electric Co., Ltd.), 29 October, 1999 (29.10.99), Full text; Figs. 1 to 14 & GB, 2336459, A	1-102
A	JP, 9-83911, A (Hitachi, Ltd.), 28 March, 1997 (28.03.97), Full text; Fig. 2 & US, 6100939, A & CA, 2185592, A	1-102

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 April, 2001 (20.04.01)Date of mailing of the international search report
01 May, 2001 (01.05.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/00182

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
	& KR, 97019539, A	